

YMZ263B

Multimedia Audio & Game Interface Controller (MMA)

■ 概 要

YMZ263B(MMA)は、コンピュータ機器のマルチメディア化に必要なPCM、ADPCMの録音・再生機能、MIDI通信機能、汎用ゲームポートを1チップに集積しています。

YM3812(OPL2)、YMF262(OPL3)等と組み合わせて、マルチメディアパソコンのサウンド機能をコンパクトに実現することが可能です。

■ 特 徴

(1)PCM/ADPCM部

- PCMまたはADPCM方式選択可能。
- 録音・再生可能な2チャンネル内蔵。
- サンプル周波数は、
ADPCMモード時は、22.05kHz、11.025kHz、7.35kHz、5.5125kHz
PCMモード時は、44.1kHz、22.05kHz、11.025kHz、7.35kHz、
の中からチャンネルごとに選択可能。
- PCMは8ビットまたは12ビット分解能、ADPCMは12ビットデータを4ビットに圧縮。
- 録音、再生のための、12ビットフローティングA/D、D/Aコンバータ内蔵。
- 2チャンネルで2倍オーバーサンプリングのA/D変換。
4チャンネルで2倍オーバーサンプリングのD/A変換。
- CPUとの音声データ入出力のために、CHANNEL 1、2各々128バイトのFIFOバッファを内蔵し、CPU(ポーリング/インタラプト)モード、DMAモードを選択可能。

(2)MIDI部

- MIDI規格に準拠したデータ送受信のためのUART。
- 送受信とも16バイトFIFOバッファを内蔵。

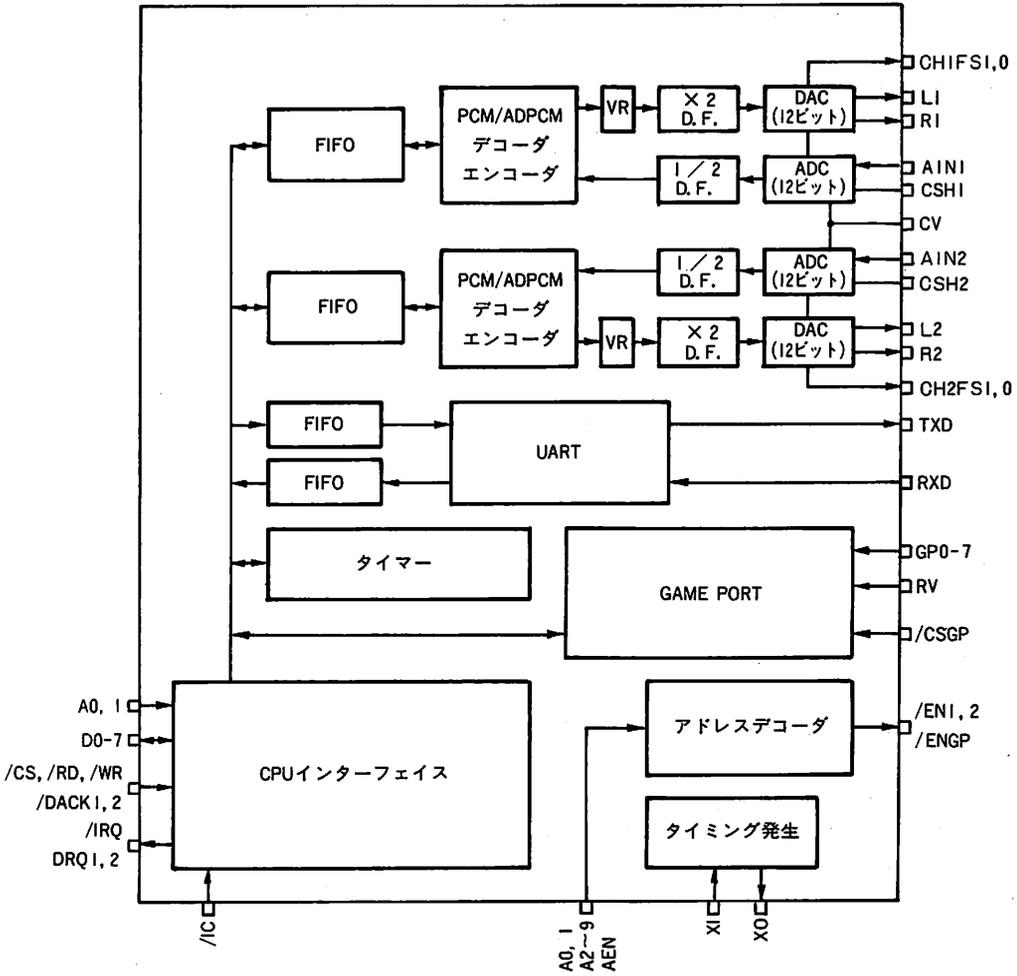
(3)ゲームポート部

- ジョイスティック等とのインターフェイスのための8入力ポート。

(4)その他

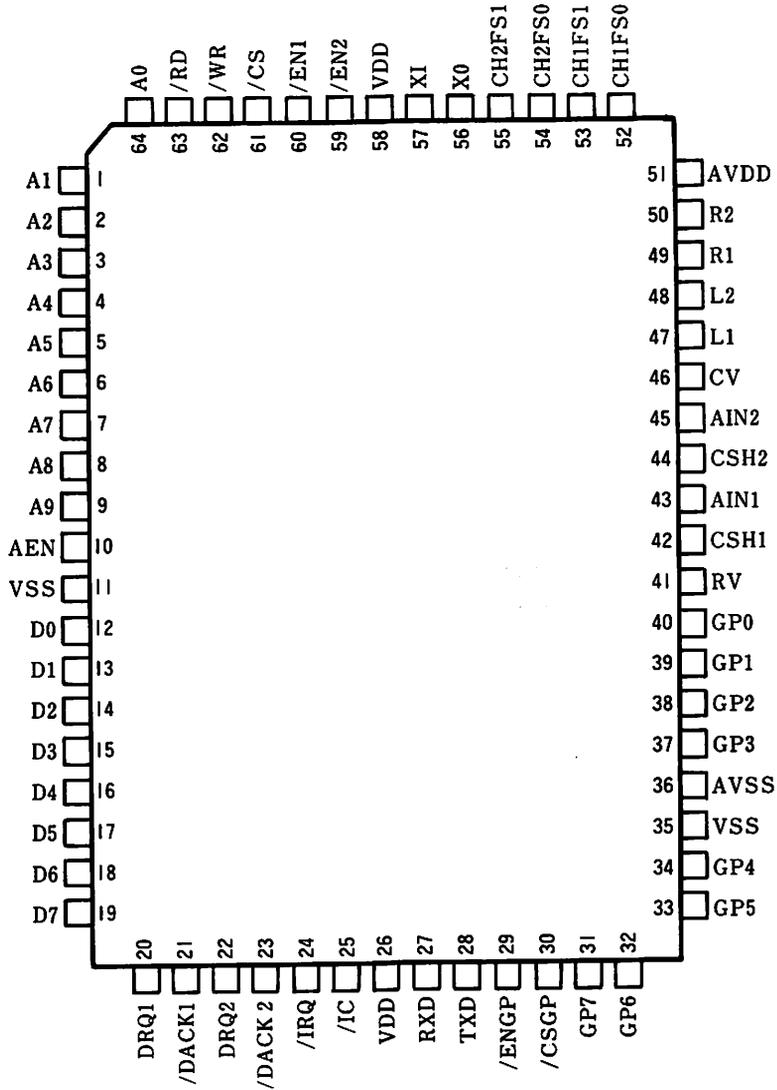
- 3種類のタイマーを内蔵。
- アドレスデコーダ内蔵。
- 5V単一、シリコンゲートCMOSプロセス。
- 64ピンプラスチックQFP。

■ブロック図



■ 端子配置図

● YMZ263B-F



<64QFP Top View>

■端子機能

No.	名称	I/O	機能
1	A1	I	CPUインターフェイス アドレスバス
2	A2	I	アドレスバス
3	A3	I	アドレスバス
4	A4	I	アドレスバス
5	A5	I	アドレスバス
6	A6	I	アドレスバス
7	A7	I	アドレスバス
8	A8	I	アドレスバス
9	A9	I	アドレスバス
10	AEN	I	アドレスイネーブル
11	VSS	-	グラウンド(デジタル系)
12	D0	I/O	CPUインターフェイス データバス
13	D1	I/O	データバス
14	D2	I/O	データバス
15	D3	I/O	データバス
16	D4	I/O	データバス
17	D5	I/O	データバス
18	D6	I/O	データバス
19	D7	I/O	データバス
20	DRQ1	O	DMAリクエスト信号1
21	/DACK1	I	DMAアクノレッジ信号1
22	DRQ2	O	DMAリクエスト信号2
23	/DACK2	I	DMAアクノレッジ信号2
24	/IRQ	OD	CPUインターフェイス 割り込み信号
25	/IC	I+	イニシャルクリア入力
26	VDD	-	+5V電源(デジタル系)
27	RXD	I	MIDI UART データ入力
28	TXD	O	MIDI UART データ出力
29	/ENGP	O	アドレスデコーダ出力 ゲームポート部用(201H)
30	/CSGP	I+	ゲームポート部 チップセレクト
31	GP7	I+	ゲームポート部 入力ポート
32	GP6	I+	入力ポート
33	GP5	I+	入力ポート
34	GP4	I+	入力ポート
35	VSS	-	グラウンド(デジタル系)
36	AVSS	-A	グラウンド(アナログ系)
37	GP3	IA*	ゲームポート部 入力ポート
38	GP2	IA*	入力ポート
39	GP1	IA*	入力ポート
40	GP0	IA*	入力ポート
41	RV	IA	ゲームポート部用 しきい値電圧入力
42	CSH1	-A	PCM/ADPCM CHANNEL1 ADCサンプルホールド容量接続
43	AIN1	IA	ADC入力
44	CSH2	-A	PCM/ADPCM CHANNEL2 ADCサンプルホールド容量接続
45	AIN2	IA	ADC入力
46	CV	-A	ADCセンター電圧
47	L1	OA	PCM/ADPCM CHANNEL1 (LEFT) DAC出力
48	L2	OA	PCM/ADPCM CHANNEL2 (LEFT) DAC出力
49	R1	OA	PCM/ADPCM CHANNEL1 (RIGHT) DAC出力
50	R2	OA	PCM/ADPCM CHANNEL2 (RIGHT) DAC出力

No.	名称	I/O	機能
51	AVDD	-A	+5V電源(アナログ系)
52	CH1FS0	O	PCM/ADPCM CHANNEL 1 サンプリング周波数情報出力0
53	CH1FS1	O	サンプリング周波数情報出力1
54	CH2FS0	O	PCM/ADPCM CHANNEL 2 サンプリング周波数情報出力0
55	CH2FS1	O	サンプリング周波数情報出力1
56	XO	O	水晶発振子接続端子
57	XI	I	水晶発振子接続端子 またはマスタークロック入力(16.9344MHz)
58	VDD	-	+5V電源(デジタル系)
59	/EN2	O	アドレスデコード出力 OPL 3 等音源用(388H~38BH)
60	/EN1	O	MMA(ゲームポート部除く)用(38CH~38FH)
61	/CS	I+	CPUインターフェイス チップセレクト
62	/WR	I	ライトイネーブル
63	/RD	I	リードイネーブル
64	AO	I	アドレスバス

注) I/O欄の記号: OD ; オープンドレイン出力端子
 I+ ; プルアップ抵抗内蔵入力端子
 A ; アナログ信号端子
 IA* ; 通常はAVSSへショートされています。

■機能説明

1. クロック関連 XI, XO

XI, XO端子を使用して水晶発振回路を構成します。発振周波数は、16.9344MHzです。
XI端子に外部よりクロックを入力してもかまいません。

2. CPUインターフェイス A0, A1, D0~7, /CS, /RD, /WR, /IRQ

本LSI各部のコントロールのために8ビットパラレルインターフェイスが用意されています。
レジスタデータのリード・ライト、ステータスリードなどのデータバスコントロールは、/CS, /RD, /WR, A0, A1の各信号で行います。これらの信号により、データバスは以下の様なモードとなります。

/CS	/RD	/WR	A0	A1	CPUアクセスモード
H	×	×	×	×	インアクティブモード
L	H	L	L	×	アドレスライトモード
L	H	L	H	L/H	データライトモード
L	L	H	L	L	ステータスリードモード
L	L	H	H	L/H	データリードモード

注) ×はdon't care

(a)インアクティブモード

/CSが' H 'の時、データバスD0~D7はハイインピーダンスとなります。

(b)アドレスライトモード

書き込み、読み出しするレジスタのアドレスを指定するモードです。
データバスにはアドレスデータをセットします。

(c)データライトモード

アドレスライトモードで設定されたアドレスにデータを書き込むモードです。
データバスのデータが指定されたアドレスのレジスタに書き込まれます。

(d)ステータスリードモード

ステータス情報を読み出すモードです。
データバスにはステータス情報が出力されます。

(e)データリードモード

アドレスライトモードで設定されたアドレスからデータを読み出すモードです。
データバスには指定されたアドレスのレジスタのデータが出力されます。

本LSIの各部から割り込み信号が発生すると、/IRQ端子を' L 'としてCPUへ通知します。

注) YMZ263Bでは、書き込みから次の書き込み動作に移るまでに、あるいは読み出しから次の読み出し動作に移るまでに、以下のウェイト時間が必要です。

ウェイト時間……………8サイクル(マスタークロック)以上

3. FIFO部 DRQ 1, DRQ 2, /DACK 1, /DACK 2

PCM/ADPCM部とCPUとのデータの入出力はCHANNEL 1, 2各々128バイトのFIFOを介して行います。
DMAコントローラと接続し、DMA転送を行う事も可能です。

4. PCM/ADPCM部 CH1FS1, CH1FS0, L1, R1, AIN1, CSH1, CV CH2FS1, CH2FS0, L2, R2, AIN2, CSH2

PCM/ADPCMデコード出力は、CHANNEL 1, 2の2チャンネル各々のデジタルボリュームによって出力レベルを調整され、2倍オーバーサンプリング処理後、設定されたサンプリング周波数の2倍の周波数でD/A変換され、L1, R1, L2, R2各端子より電圧出力されます。

(但し、44.1kHzのPCMモードではオーバーサンプリング処理は行いません。)

AIN1, AIN2より入力されるアナログ信号は、設定されたサンプリング周波数の2倍の周波数でA/D変換され、1/2倍アンダーサンプリング処理されてPCM/ADPCMエンコーダに入力されます。

(但し、44.1kHzのPCMモードではアンダーサンプリング処理は行いません。)

CSH1, CSH2端子にはA/D変換のためのサンプルホールド容量を外付けします。

CV端子はA/D変換器のセンター電圧端子です。

CH1FS1, 0, CH2FS1, 0からは外部LPF切り替え等のために、各々CHANNEL 1, CHANNEL 2のPCM/ADPCMサンプリング周波数情報を出力します。

PCM	ADPCM	CH1FS1, CH2FS1	CH1FS0, CH2FS0
44.1 kHz	—	L	L
22.05 kHz	22.05 kHz	L	H
11.025 kHz	11.025 kHz	H	L
7.35 kHz	7.35 or 5.5125 kHz	H	H

5. MIDI部 TXD, RXD

送信データは16バイトのFIFOでバッファリングされ、UARTよりTXD端子から調歩同期出力されます。

RXD端子より入力される調歩同期入力はUARTにより受信され16バイトFIFOによりバッファリングされます。

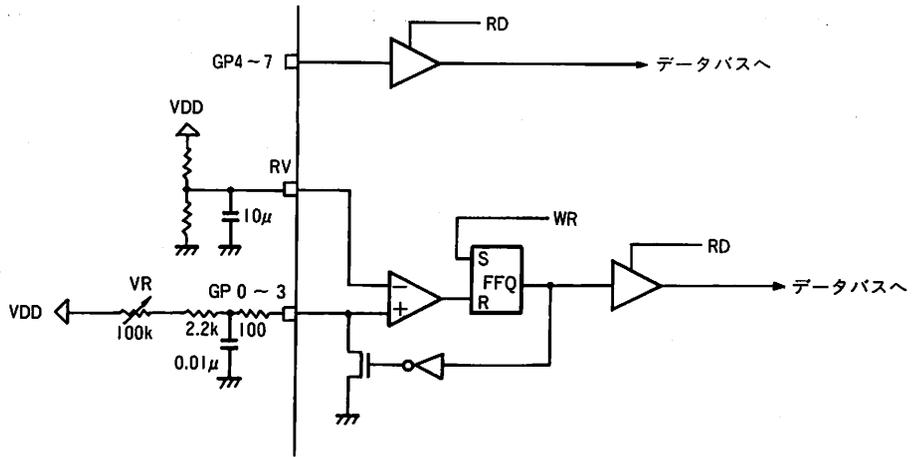
6. ゲームポート部 /CSGP, GP0~7, RV

RV端子には被比較電圧(0.63*VDD~0.70*VDD)を入力して下さい。

GP0~3端子は、通常内部でAVSSへショートしていますので注意が必要です。

/CSGP='L'、/WR='L'でGP0~3端子はAVSS端子と切り放され、被比較電圧よりGP0~3の端子電圧が高くなると、フリップフロップが0にリセットされます。フリップフロップの値は/CSGP='L'、/RD='L'で各々D0~3端子より読み出すことができます。従って外部の時定数に応じて0にリセットされるまでの時間は変化します。

GP4~7端子は汎用入力ポートで、/CSGP='L'、/RD='L'でGP4~7の値が各々データバスD4~7へ出力されます。



〈GP0～7端子 入力等価回路と外付回路例〉

7. アドレスデコーダ部 AEN, A0～9, /EN1, /EN2, /ENGP

外付け回路削減のため固定値のアドレスデコーダを内蔵しています。

/EN1, EN2, /ENGPは各々、YMZ263B(ゲームポートを除く)、YMF262等の音源、ゲームポート部へのアドレスデコーダ出力でアドレスが一致すると'L'となります。

AENはDMA動作時にチップセレクトの誤発生を防ぐために使用します。

AEN='H'の時はA0～9がどんな値でも/EN1, /EN2, /ENGPは'L'にはなりません。

8. イニシャルクリア /IC

本LSIは電源投入時にイニシャルクリアが必要です。

■レジスタ説明

1. レジスタマップ

CH	CHANNEL 1 (A1='L')										CHANNEL 2 (A1='H')																			
ADDR	R/W	D7	D6	D5	D4	D3	D2	D1	D0	R/W	D7	D6	D5	D4	D3	D2	D1	D0												
\$00	R/W	/								SELT	—	/																		
\$01	—	LSI TEST																		—										
\$02	W	TIMER 0 (L)																		—										
\$03	W	TIMER 0 (H)																		—										
\$04	W	BASE COUNTER (L)																		—										
\$05	W	TIMER 1					BASE COUNTER(H)													—										
\$06	R/W	TIMER 2 (L)																		—										
\$07	R/W	TIMER 2 (H)																		—										
\$08	W	*1	T2 MSK	T1 MSK	T0 MSK	ST BC	ST2	ST1	ST0	—	/																			
\$09	W	ADP RST	R	L	FS1	FS0	PCM	PLY / REC	ADP ST	W									ADP RST	R	L	FS1	FS0	PCM	PLY / REC	ADP ST				
\$0A	W	VOLUME CONTROL																	W	VOLUME CONTROL										
\$0B	R/W	PCM DATA																	R/W	PCM DATA										
\$0C	W	DMA MOD	FMT 1	FMT 0	SEL F2	SEL F1	SEL F0	MSK FIF	DMA ENB	W									/											
\$0D	W	/		MSK POV	MSK MOV	MDI TRS	MSK TRQ	MDI RCV	MSK RRQ	—																				
\$0E	R/W			MIDI DATA															—											

(注) 斜線部は don't care、*1は必ず'0'として下さい。

レジスタ値はイニシャルクリアで、SELT, ADPRST, MDITRSRST, MDIRCVRST以外は'0'となります。

2. レジスタ説明

PCM/ADPCMのCHANNEL 1, 2 はA1 端子によって選択します。

R/W欄にR/Wと記されているレジスタはデータリードモードによって読み出しも可能です。

アドレス	名 称	機 能
\$ 00	SELT	PCMデータタイプ (2's コンプリメントまたはオフセットバイナリ) を選択します。
\$ 01	LSI TEST	本LSIのテストに使用されます。
\$ 02~03	TIMER 0	16ビットのプログラマブルダウンカウンタです。
\$ 04~05	BASE COUNTER	タイマー1、タイマー2へのクロックを供給する12ビットプログラマブルダウンカウンタです。
\$ 05	TIMER 1	ベースカウンタのクロックで動作する4ビットプログラマブルダウンカウンタです。
\$ 06~07	TIMER 2	ベースカウンタのクロックで動作する16ビットプログラマブルダウンカウンタです。
\$ 08	T 0 MSK, T 1 MSK, T 2 MSK	タイマー0、タイマー1、タイマー2から発生するIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 08	ST 0, ST 1, ST 2, STBC	タイマー0、タイマー1、タイマー2及びベースカウンタの始動・停止を制御します。
\$ 09	ADPRST	PCM/ADPCM部をリセットします。
\$ 09	L, R	出力するチャンネルを選択します。
\$ 09	FS 0, FS 1	PCM/ADPCMのサンプリング周波数を選択します。
\$ 09	PCM	PCMモード・ADPCMモードを選択します。
\$ 09	PLY/REC	録音・再生を選択します。
\$ 09	ADPST	録音・再生の始動・停止を制御します。
\$ 0 A	VOLUME CONTROL	出力ボリューム値を設定します。
\$ 0 B	PCM DATA	FIFOへのデータの書き込み、FIFOからのデータの読み出しを行います。
\$ 0 C	DMAMOD	DMAコントローラを1チャンネル使用してCHANNEL 1, 2のデータを交互に転送する1チャンネルDMAモードを選択します。
\$ 0 C	FMT 0, FMT 1	PCMデータフォーマットを選択します。
\$ 0 C	SELF 0, SELF 1, SELF 2	FIFO割り込み発生ポイントを選択します。

アドレス	名 称	機 能
\$ 0 C	MSKFIF	FIFO割り込み信号によって発生するIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 0 C	DMAENB	DMAモード/CPUモードを選択します。
\$ 0 D	MSKPOV	PCM/ADPCM録音時のオーバーランエラーによるIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 0 D	MSKMOV	MIDI受信時のオーバーランエラーによるIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 0 D	MDITRSRST	MIDI送信用回路をリセットします。
\$ 0 D	MSKTRQ	MIDI送信用FIFOのIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 0 D	MDIRCVRST	MIDI受信回路をリセットします。
\$ 0 D	MSKRRQ	MIDI受信FIFOのIRQ信号のみをマスクします。ステータスレジスタのフラグはマスクされません。
\$ 0 E	MIDIDATA	MIDIのFIFOへのデータ書き込み、FIFOからのデータの読み出しを行います。

3. ステータスアサイン

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ステータス	OV	T2	T1	T0	TRQ	RRQ	FIF 2	FIF 1

4. ステータス説明

以下に示す各ブロックからの割り込み信号が発生するとそれぞれに対応するステータスレジスタのビットは '1' となり、同時に/IRQ端子を 'L' にしてCPUへ通知します。

ただし、/IRQ= 'L' としてCPUへ通知するのは、それぞれの割り込みに対応したマスクビット(TOMSK, TIMSK, T2MSK, MSKFIF, MSKPOV, MSKMOV, MSKTRQ, MSKRRQ)が '0' の場合です。

名 称	機 能
OV	MIDI受信時またはPCM/ADPCM録音時及び再生時のオーバーランエラーで '1' となります。
T0, T1, T2	各々のタイマーのカウント値が0になると '1' となります。
TRQ	MIDI送信FIFOが空になると '1' となります。
RRQ	MIDI受信FIFOにデータがセットされると '1' となります。
FIF 1, FIF 2	PCM/ADPCMのFIFOのデータ罫がSELF 2, F1, F0で設定したポイントになると '1' となります。

■電気的特性

1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.3~7.0	V
入力電圧	V_I	-0.3~ $V_{DD}+0.5$	V
動作温度	T_{op}	0~70	°C
保存温度	T_{stg}	-50~125	°C

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V_{DD}	4.75	5.00	5.25	V
動作温度	T_{op}	0	25	70	°C

3. 直流特性 (条件: $T_a = 0 \sim 70^\circ\text{C}$, $V_{DD} = 5.0 \pm 0.25\text{V}$)

項目	記号	条件	最小	標準	最大	単位
消費電力	P_D	$V_{DD} = 5.0\text{V}$ $f_M = 16.9344\text{MHz}$			200	mW
入力電圧Hレベル(1)	V_{IH1}	* 1	2.2			V
入力電圧Lレベル(1)	V_{IL1}	* 1			0.8	V
入力電圧Hレベル(2)	V_{IH2}	* 2	3.5			V
入力電圧Lレベル(2)	V_{IL2}	* 2			1.0	V
入力リーク電流	I_{L1}	$V_I = 0 \sim 5\text{V}$, * 3	-10		10	μA
入力容量	C_I				10	pF
出力電圧Hレベル	V_{OH}	$I_{OH} = -80\mu\text{A}$	$V_{DD} - 1.0$			V
出力電圧Lレベル	V_{OL}	$I_{OL} = 2.0\text{mA}$			$V_{SS} + 0.4$	V
出力容量	C_O				10	pF
出力リーク電流	I_{LO}	$V_I = 0 \sim 5\text{V}$, * 4	-10		10	μA
プルアップ抵抗	R_U		80		400	k Ω

注) * 1 : /WR, /RD, /CS, A0~A9, AEN, D0~D7, RXD, /CSGD, GP4~GP7, /DACK1, /DACK2に適用。

(ただしD0~D7は入力状態の時に適用)

* 2 : XI, ICに適用

* 3 : /WR, /RD, A0~A9, AEN, D0~D7, RXD, /CSGP, GP4~GP7に適用

(ただしD0~D7は入力状態の時に適用)

* 4 : D0~D7において、ハイ・インピーダンス状態時

4. 交流特性 (条件: $T_a = 0 \sim 70^\circ\text{C}$, $V_{DD} = 5.0 \pm 0.25\text{V}$)

項目	記号	図	最小	標準	最大	単位
マスタークロック周波数	f_M	A-1		16.9344		MHz
デューティ	D		45	50	55	%
リセットパルス幅	t_{ICW}	A-2	80			サイクル※1
アドレスセットアップ時間	t_{AS}	A-3,4	10			ns
アドレスホールド時間	t_{AH}	A-3,4	10			ns
チップセレクトライト幅	t_{CSW}	A-3	50			ns
チップセレクトリード幅	t_{CSR}	A-4	100			ns
ライトパルス幅	t_{WW}	A-3	50			ns
ライトデータセットアップ時間	t_{WDS}	A-3	10			ns
ライトデータホールド時間	t_{WDH}	A-3	20			ns
リードパルス幅	t_{RW}	A-4	100			ns
リードデータアクセス時間	t_{ACC}	A-4			100	ns
リードデータホールド時間	t_{RDH}	A-4	10			ns
DRQホールド時間	t_{DRQH}	A-5			50	ns
DMAリードセットアップ時間	t_{DRS}	A-5	50			ns
DMAリードホールド時間	t_{DRH}	A-5	20			ns
DMAリードデータアクセス時間	t_{DRAC}	A-5			100	ns
DMAリードデータホールド時間	t_{DRDH}	A-5	10			ns
DMAライトセットアップ時間	t_{DWS}	A-6	50			ns
DMAライトホールド時間	t_{DWH}	A-6	20			ns
DMAライトデータセットアップ時間	t_{DWDS}	A-6	10			ns
DMAライトデータホールド時間	t_{DWDH}	A-6	20			ns

* 1: マスタークロックのサイクルにおいて

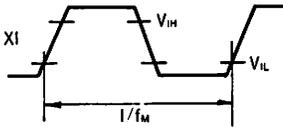
5. アナログ特性 (条件: $T_a = 0 \sim 70^\circ\text{C}$, $AV_{DD} = 5.0\text{V}$)

項目	記号	条件	最小	標準	最大	単位
アナログ入力電圧	V_{IA}	* 1			4.8	V
アナログ出力電圧	V_{OA}	* 2			4.8	V
DCオフセット電圧	CV	* 3		2.5		V
オフセット電圧	V_{OFF}	* 2			0.1	V
リニアリティ誤差		* 2			± 30	mV
ステップ誤差		* 2			± 1.0	LSB

* 1: AIN1, AIN2 に適用 * 2: L1, R1, L2, R2 に適用 * 3: CV に適用

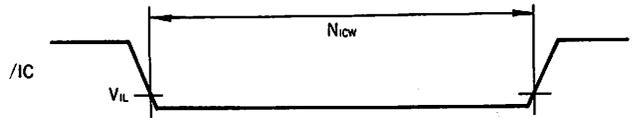
6. タイミング図

(1)入力クロックタイミング



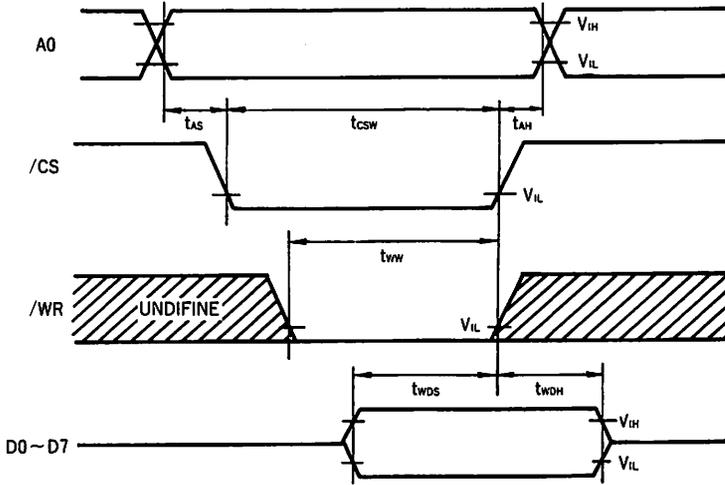
図A-1

(2)リセットパルス



図A-2

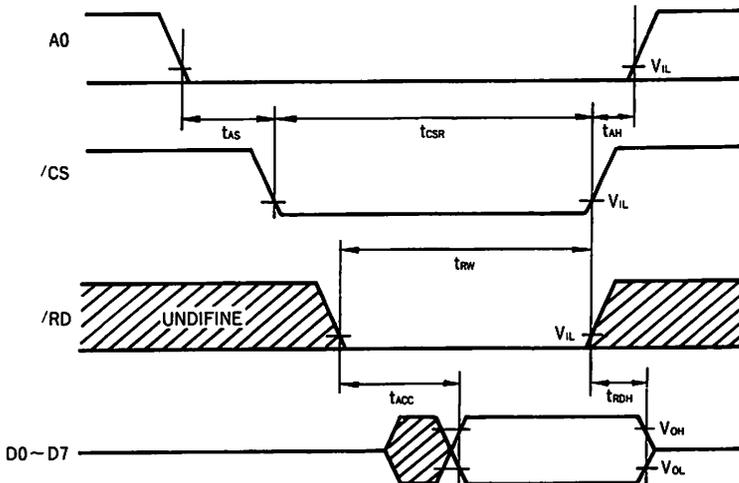
(3)アドレス、及びデータライトタイミング



図A-3

(注)
t_{CSW}, t_{WV}, t_{WDH}は \overline{CS} , \overline{WR}
のいずれかがHighレベル
になった時を基準とする。

(4)ステータス、及びデータリードタイミング



図A-4

(注)
t_{ACC}は、 \overline{CS} , \overline{RD} の遅くLow
レベルになるのが基準で
す。
t_{CSR}, t_{RW}, t_{RDH}は \overline{CS} , \overline{RD}
のいずれかがHighレベルに
なった時を基準とする。

(5)DMAリードタイミング

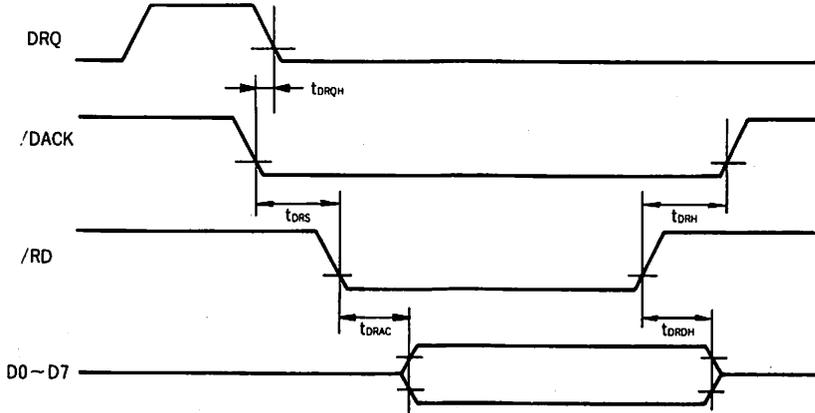


図 A - 5

(6)DMAライトタイミング

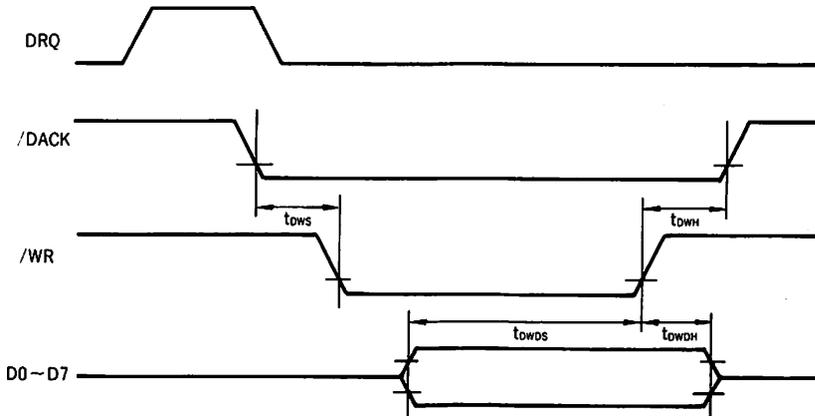


図 A - 6

■パッケージ外形図

●YMZ263B-F

