

YMF278B

FM+Wave table Synthesizer LSI (OPL4)

■ 概 要

YMF278B (OPL4) は、FM音源とPCM音源を1チップに集積した音源LSIです。FM音源は、IBM PC用の音源としてポピュラーなYMF262 (OPL3) とレジスタコンパチブルです。また、PCM音源は24音同時発音可能で、波形データ用メモリーを外付けすることによりGMシステム・レベル1に対応可能です。YMF278Bをマルチメディアパソコンやサウンドボードに使用すれば、従来のアプリケーションソフトウェアとのコンパチビリティを保ちながら、高機能化、高音質化することが可能です。

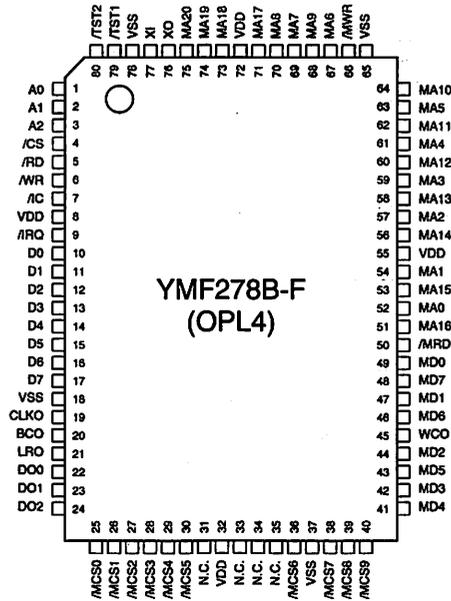
■ 特 徴

- FM音源部 (YMF262と同等)
 - ・ 2オペレータモード時 : 2オペメロディ18音同時発音、または2オペメロディ15音+リズム5音同時発音
 - ・ 4オペレータモード時 : 4オペメロディ6音+2オペメロディ6音同時発音または、4オペメロディ6音+2オペメロディ3音+リズム5音同時発音
 - ・ ウェーブは8種類から選択可能
 - ・ ステレオ出力
- PCM音源部
 - ・ 24音同時発音
 - ・ 音声出力データのサンプリング周波数は44.1kHz
 - ・ 波形データの語長は8ビット、12ビット、16ビットから選択可能
 - ・ ステレオ出力 (各音に16段階のバン指定可能)
- PCM音源部波形データ
 - ・ 外部メモリとして最大32Mビット接続可能
 - ・ 最大512音色
 - ・ 外部メモリはROMまたはSRAMを接続可能で、SRAMを接続した場合はCPUから波形データをダウンロード可能
 - ・ 1Mビット、4Mビット、8Mビット、16Mビットメモリ用のチップセレクト信号を出力
 - ・ 波形データROMであるYRW801と接続可能
- その他
 - ・ 音声出力として6チャンネルを持ち、YAC513 (DAC)と接続可能
 - ・ 音声データに各種効果を付加するYSS225 (EP)と接続可能
 - ・ 80ピンプラスチックQFP (YMF278B-F) または100ピンプラスチックSQFP (YMF278B-S)

OPL™ は、ヤマハの商標であり、YM3812 (OPL2) とレジスタレベルでの互換性が保証される音源LSIであることを表します。

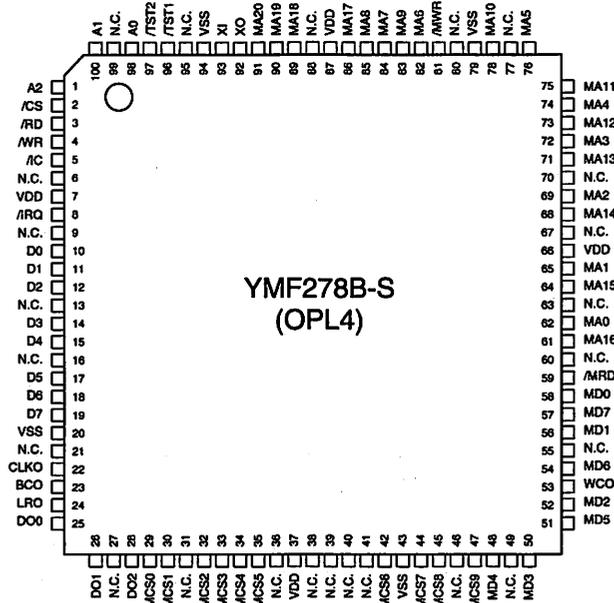
端子配置図

- YMF278B-F



<80PIN QFP TopView>

- YMF278B-S



<100PIN SQFP TopView>

■ 端子機能

No.		名称	I/O	機能	
64QFP	100SQFP				
1	98	A0	I	CPUインターフェイス	アドレスバス
2	100	A1	I		アドレスバス
3	1	A2	I		アドレスバス
4	2	/CS	I+		チップセレクト
5	3	/RD	I		リードイネーブル
6	4	/WR	I		ライトイネーブル
7	5	/IC	I+	イニシャルクリア入力	
8	7	VDD	—	+5V電源	
9	8	/IRQ	OD	CPUインターフェイス	割り込み信号
10	10	D0	I/O		データバス
11	11	D1	I/O		データバス
12	12	D2	I/O		データバス
13	14	D3	I/O		データバス
14	15	D4	I/O		データバス
15	17	D5	I/O		データバス
16	18	D6	I/O		データバス
17	19	D7	I/O		データバス
18	20	VSS	—	グラウンド	
19	22	CLKO	O	クロック出力 (16.9344MHz)	
20	23	BCO	O	DACインターフェイス	ビットクロック出力
21	24	LRO	O		L/Rクロック出力
22	25	DO0	O		FM-EXT出力
23	26	DO1	O		PCM-EXT出力
24	28	DO2	O		MIX (FM+PCM) 出力
25	29	/MCS0	O	外部メモリアインターフェイス	メモリチップセレクト
26	30	/MCS1	O		メモリチップセレクト
27	32	/MCS2	O		メモリチップセレクト
28	33	/NCS3	O		メモリチップセレクト
29	34	/MCS4	O		メモリチップセレクト
30	35	/MCS5	O		メモリチップセレクト
32	37	VDD	—	+5V電源	
36	42	/MCS6	O	外部メモリアインターフェイス	メモリチップセレクト
37	43	VSS	—	グラウンド	
38	44	/MCS7	O	外部メモリアインターフェイス	メモリチップセレクト
39	45	/MCS8	O		メモリチップセレクト
40	47	/MCS9	O		メモリチップセレクト
41	48	MD4	I/O		データバス
42	50	MD3	I/O		データバス

No.		名称	I/O	機能	
64QFP	100SQFP				
43	51	MD5	I/O	外部メモリアンターフェイス	データバス
44	52	MD2	I/O		データバス
45	53	WCO	O	DACインターフェイス	ワードクロック出力
46	54	MD6	I/O	外部メモリアンターフェイス	データバス
47	56	MD1	I/O		データバス
48	57	MD7	I/O		データバス
49	58	MD0	I/O		データバス
50	59	/MRD	O		リードイネーブル信号出力
51	61	MA16	O		アドレスバス
52	62	MA0	O		アドレスバス
53	64	MA15	O		アドレスバス
54	65	MA1	O		アドレスバス
55	66	VDD	—	+5V電源	
56	68	MA14	O	外部メモリアンターフェイス	アドレスバス
57	69	MA2	O		アドレスバス
58	71	MA13	O		アドレスバス
59	72	MA3	O		アドレスバス
60	73	MA12	O		アドレスバス
61	74	MA4	O		アドレスバス
62	75	MA11	O		アドレスバス
63	76	MA5	O		アドレスバス
64	78	MA10	O		アドレスバス
65	79	VSS	—	グラウンド	
66	81	/MWR	O	外部メモリアンターフェイス	ライトイネーブル信号出力
67	82	MA6	O		アドレスバス
68	83	MA9	O		アドレスバス
69	84	MA7	O		アドレスバス
70	85	MA8	O		アドレスバス
71	86	MA17	O		アドレスバス
72	87	VDD	—	+5V電源	
73	89	MA18	O	外部メモリアンターフェイス	アドレスバス
74	90	MA19	O		アドレスバス
75	91	MA20	O		アドレスバス
76	92	X0	O	水晶発振子接続端子	
77	93	XI	I	水晶発振子接続端子またはマスタークロック入力 (33.8688MHz)	
78	94	VSS	—	グラウンド	
79	96	/TST1	I+	LSIテスト端子 (通常無接続)	
80	97	/TST2	I+	LSIテスト端子 (通常無接続)	

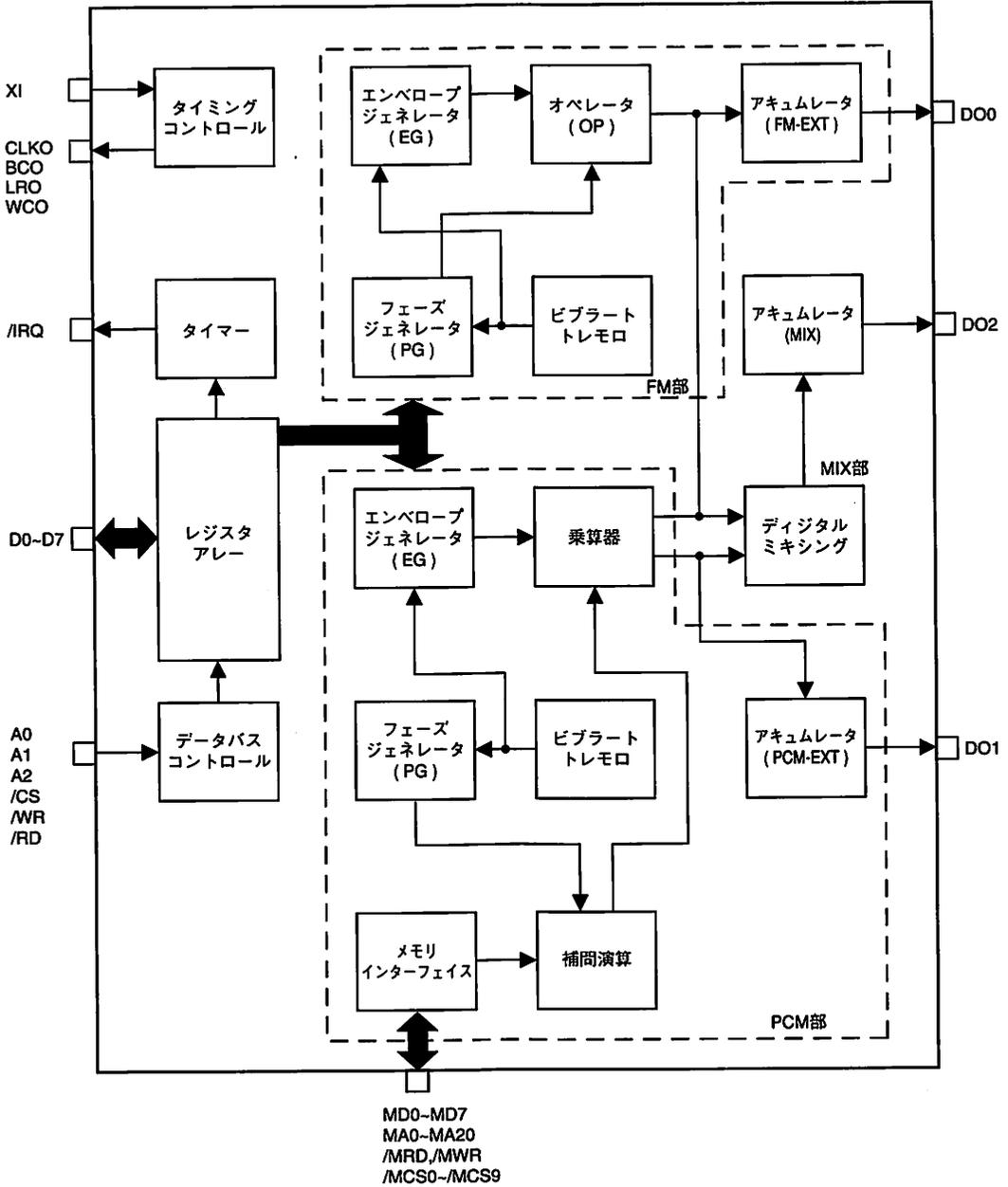
上記以外の端子は、NC端子です。

注) NC, /TST1, /TST2: 通常無接続でご使用下さい。

I+: プルアップ抵抗内蔵端子

OD: オープンドレイン出力端子

■ ブロック図



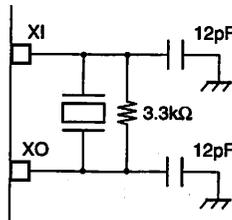
■ 端子機能説明

1. クロックの発生 XI, XO

XI, XO端子を使用して水晶発振回路を構成します。

発振周波数は33.8688MHzです。

XI端子に外部よりクロックを入力することも可能です。



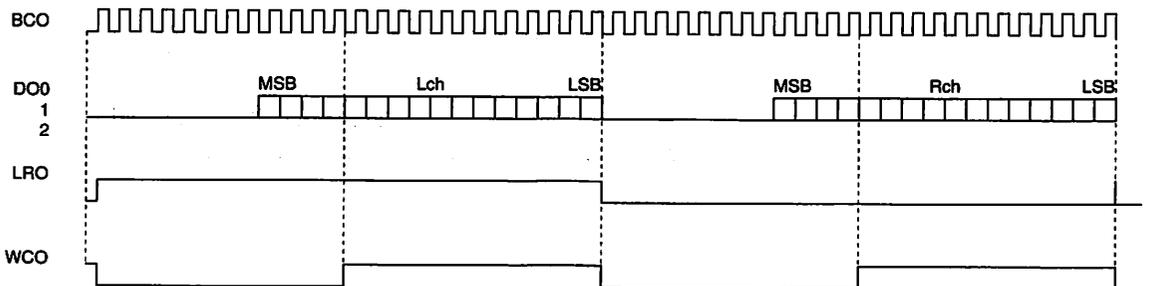
2. オーディオインターフェイス BCO, LRO, WCO, CLKO, DO0~DO2

YMF278B の出力データは16ビット2sコンプリメントのデジタルデータです。

データはMSBファーストで出力されます。サンプリング周波数は44.1kHzです。

各端子から出力されるデータは以下の通りです。

- DO0端子 FM音源部のデータ(FMレジスタC0H~C8HのCHC, CHDで設定したチャンネルのデータ)が出力されます。CHCを設定するとLch側に、CHDを設定するとRch側に出力されます。
- DO1端子 PCM音源部のデータ(PCMレジスタ68H~7FHのCH= '1' に設定したチャンネルのデータ)が出力されます。
- DO2端子 FM音源部とPCM音源部のMIXされたデータ(FMレジスタのC0H~C8HのCHA, CHBで設定したチャンネルのデータと、PCMレジスタの68H~7FHのCH= '0' に設定したチャンネルのデータをMIXしたデータ)が出力されます。CHAを設定するとLch側に、CHBを設定するとRch側に出力されます。



BCOの周波数は48fsでデューティは50%です。(fs = 44.1kHz)

LROの周波数はfsでデューティは50%です。

WCOの周波数は2fsでデューティは50%です。

3. CPUインターフェイス /CS, /RD, WR, A0~A2, /IRQ

YMF278BのD0~D7は双方向のデータバスで、各レジスタへのアクセスを行います。データバスのコントロールは/CS、/RD、/WR、A0、A1、A2の各信号で行います。データバスはこれらの信号により、以下のようなモードとなります。

	/CS	/RD	/WR	A0	A1	A2	モード
/INT	H	x	x	x	x	x	インアクティブモード
	L	L	H	L	L	L	ステータスリードモード
FM	L	H	L	L	L/H	L	アドレスライトモード
	L	H	L	H	x	L	データライトモード
PCM MIX	L	H	L	L	L	H	アドレスライトモード
	L	H	L	H	L	H	データライトモード
	L	L	H	H	L	H	データリードモード

x: Don't Care

(a) インアクティブモード

/CSが 'H' の場合はデータバスD0~D7はハイインピーダンスとなります。

(b) アドレスライトモード

書き込みアドレスを指定するモードです。データバスには書き込むレジスタのアドレスデータを出力して下さい。

アドレスライト後、データライト及びデータリードを行うには、マスタークロックで

FMレジスタ56サイクル

PCMレジスタ88サイクルのウェイトが必要です。

FMでレジスタアレー0を指定する場合はA1= 'L'、レジスタアレー1を指定する場合はA1= 'H' として下さい。

(c) データライトモード

直前にアドレスライトモードで設定されたアドレスにデータを書き込むモードです。データバスには設定データを入力して下さい。なお、次のアドレスライトまたはデータライトを行うまでに、アドレスライトモードと同様のウェイトが必要です。

(d) データリードモード

直前にアドレスライトモードで設定されたアドレスからデータを読み出すモードです。

PCM部のレジスタのみ読み出し可能です。(FM部のレジスタは読み出しできません。)

(e) ステータスリードモード

YMF278Bのステータスを出力するモードです。データバスにはステータス情報が出力されます。

YMF278Bのステータスレジスタでフラグが立つと、/IRQ端子は 'L' レベルとなり、割り込みをCPUに通知します。

4. 外部メモリインターフェイス MA0~MA20, MD0~MD7, /MWR, /MRD, /MCS0~/MCS9

YMF278Bと接続可能な波形データ用の外部メモリは、ROMまたはSRAMで、ビット構成が×8ビット、アクセスタイムが150ns以下のものです。

5. イニシャルクリア /IC

/IC端子を 'L' レベルにすることによって内部レジスタ及び回路の初期化を行います。

YMF278Bは電源投入時にイニシャルクリアが必要です。

■ レジスタ説明

1-1. レジスタマップ (FM音源部)

YMF278BのレジスタはYMF262 (OPL3) とコンパチブルです。

\$C0H~\$C8HのCHA~CHDビット以外は、イニシャルクリアによって '0' にリセットされます。

ADDRESS	REGISTER ARRAY 0 (AI = 'L')								REGISTER ARRAY 1 (AI = 'H')									
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0		
00H~01H	LSI TEST								LSI TEST									
02H	TIMER 1																	
03H	TIMER 2																	
04H	RST	MT1	MT2				ST2	ST1	CONNECTION SEL									
05H									NEW2 NEW									
08H		NTS																
20H~35H	AM	VIB	EGT	KSR	MULT			AM	VIB	EGT	KSR	MULT						
40H~55H	KSL		TL						KSL		TL							
60H~75H	AR				DR				AR				DR					
80H~95H	SL				RR				SL				RR					
A0H~A8H	F-NUMBER (L)								F-NUMBER (L)									
B0H~B8H			KON	BLOCK			F-NUM (H)					KON	BLOCK			F-NUM (H)		
BDH	DAM	DVB	RYT	BD	SD	TOM	TC	HH										
C0H~C8H	CHD	CHC	CHB	CHA	FB			CNT	CHD	CHC	CHB	CHA	FB			CNT		
E0H~F5H					WS								WS					

- 注) 1. YMF262 (OPL3) からYMF278B (OPL4) へはレジスタアレー1、05HのNEW2ビットが拡張されています。
 2. 00H~01HのLSI TEST及び [] の部分は必ず '0' に設定して下さい。

1-2. レジスタ機能説明 (FM音源部)

アドレス	名称	機能
00H~01H	LSI TEST	本LSIのテストに使用します。
02H	TIMER 1 (REGISTER ARRAY0のみ)	分解能80.8 μ sの8ビットプリセッタブルカウンタによるタイマーです。
03H	TIMER 2 (REGISTER ARRAY0のみ)	分解能323.1 μ sの8ビットプリセッタブルカウンタによるタイマーです。
04H	RST (REGISTER ARRAY0のみ)	タイマー1、タイマー2から発生するフラグのリセットを行います。
04H	MT1, MT2 (REGISTER ARRAY0のみ)	タイマー1、タイマー2のフラグをマスクします。
04H	ST1, ST2 (REGISTER ARRAY0のみ)	タイマー1、タイマー2の始動・停止を制御します。
04H	CONNECTION SEL (REGISTER ARRAY1のみ)	4オペレータモードを設定します。
05H	NEW (REGISTER ARRAY1のみ)	OPL2モード/OPL3モードを選択します。
05H	NEW2 (REGISTER ARRAY1のみ)	PCM部レジスタへのアクセス、及びBUSY, LDフラグの有効/無効を設定します。
08H	NTS (REGISTER ARRAY0のみ)	キーボードスプリットの分割点を決定します。
20H~35H	AM	トレモロを設定します。
20H~35H	VIB	ビブラートを設定します。
20H~35H	EGT	減衰音/持続音を設定します。
20H~35H	KSR	RATEのキースケールを設定します。
20H~35H	MULT	BLOCK, F-NUMBERで指定された周波数に対する倍率を指定します。
40H~55H	KSL	音程が高くなるにつれて音量が減衰する現象をシミュレートします。
40H~55H	TL	エンベロープジェネレータの出力に対する減衰量を設定することによって音量、変調度を制御します。
60H~75H	AR	アタックレートを設定します。
60H~75H	DR	ディケイレートを設定します。
80H~95H	RR	リリースレートを設定します。
A0H~A8H B0H~B8H	F-NUMBER (L) F-NUMBER (H)	1オクターブ分の周波数情報を設定します。
B0H~B8H	KON	チャンネル毎の発音のON/OFFを制御します。
B0H~B8H	BLOCK	オクターブの情報を与えます。
BDH	DAM (REGISTER ARRAY0のみ)	トレモロの深さを設定します。
BDH	DVB (REGISTER ARRAY0のみ)	ビブラートの深さを設定します。
BDH	RYT (REGISTER ARRAY0のみ)	リズムモードを設定します。
BDH	BD, SD, TOM, TC, HH (REGISTER ARRAY0のみ)	各リズムの発音を制御します。
C0H~C8H	CHD, CHC, CHB, CHA	データの出力チャンネルを設定します。
C0H~C8H	FB	各チャンネルの第1スロット (オペレータ1) のフィードバック変調の変調度を設定します。
C0H~C8H	CNT	オペレータの組み合わせ (接続形態) であるアルゴリズムを選択します。
E0H~F5H	WS	FM演算に用いる波形を各スロット (オペレータ) 毎に設定します。

2-1. レジスタマップ (PCM音源部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0
00H~01H	TEST							
02H	デバイスID			音色ヘッダー			メモリ タイプ	メモリ アクセス
				2	1	0		
03H	メモリアドレスレジスタ							
			MA21	MA20	MA19	MA18	MA17	MA16
04H								
	MA15	MA14	MA13	MA12	MA11	MA10	MA9	MA8
05H								
	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
06H	メモリデータレジスタ							
07H								
08H~1FH	音色ナンバー							
	7	6	5	4	3	2	1	0
20H~37H	F-NUM							音色ナンバー
	f6	f5	f4	f3	f2	f1	f0	8
38H~4FH	オクターブ				疑似 リバーブ	F-NUM		
	03	02	01	00		f9	f8	f7
50H~67H	トータルレベル							レベル ダイレクト
	6	5	4	3	2	1	0	
68H~7FH	KEY ON	DAMP	LFO RES	CH	バンポット			
					3	2	1	0
80H~97H				LFO		VIB		
			S2	S1	S0	V2	V1	V0
98H~AFH	AR				D1R			
	3	2	1	0	3	2	1	0
B0H~C7H	DL				D2R			
	3	2	1	0	3	2	1	0
C8H~DFH	レート補正				RR			
	3	2	1	0	3	2	1	0
E0H~F7H						AM		
						2	1	0
F8H				MIXコントロール (FM-R)			MIXコントロール (FM-L)	
				2	1	0	2	1
F9H				MIXコントロール (PCM-R)			MIXコントロール (PCM-L)	
				2	1	0	2	1

- 注) 1. 00H~01HのTEST、及び [] の部分は必ず '0' を設定して下さい。
 2. F8HのMIXコントロール (FM-R, FM-L) は、イニシャルクリア後デフォルト値としてそれぞれ3(-9dB) が設定されます。それ以外のレジスタはイニシャルクリアによって全て '0' にリセットされます。

2-2. レジスタ機能説明 (PCM音源部)

アドレス	名称	機能
00H~01H	TEST	本LSIのテストに使用します。
02H	メモリアクセス	発音モード/外部メモリへのアクセスモードを設定します。
02H	メモリタイプ	メモリの構成を設定します。
02H	音色ヘッダー	音色ヘッダー部の領域を設定します。
02H	デバイスID	本LSIのIDレジスタとして使用します。
03H-05H	メモリアドレスレジスタ	外部メモリのアドレスを設定します。
06H	メモリデータレジスタ	現在設定されている外部メモリのアドレスへのデータライト、外部メモリのアドレスリードを行います。
08H-37H	音色ナンバー	発音したい音色ナンバーを設定します。
20H-4FH	F-NUM、オクターブ	発音のピッチを制御します。
38H-4FH	疑似リバーブ	疑似リバーブ効果のON/OFFを設定します。
50H-67H	トータルレベル	エンベロープのトータルレベルを設定します。
50H-67H	レベルダイレクト	トータルレベルを変更した時、補間しながら変化するか、直ちにその値になるかを設定します。
68H-7FH	KEY ON	発音のON/OFFを設定します。
68H-7FH	DAMP	フォーシングダンプを設定します。
68H-7FH	LFO RES	LFOの動作を設定します。
68H-7FH	CH	出力チャンネルを設定します。
68H-7FH	パンポット	パンポット(定位)を設定します。
80H-97H	LFO	LFOスピードを設定します。
80H-97H	VIB	ビブラートの深さを設定します。
98H-AFH	AR	アタックレートを設定します。
98H-AFH	D1R	ディケイ1レートを設定します。
B0H-C7H	DL	ディケイレベルを設定します。
B0H-C7H	D2R	ディケイ2レートを設定します。
C8H-DFH	レート補正	レート補正の値を設定します。
C8H-DFH	RR	リリースレートを設定します。
E0H-F7H	AM	トレモロの深さを設定します。
F8H-F9H	MIXコントロール	FM、PCMのステレオ出力のMIXバランスを設定します。

■ ステータス説明

1. ステータスアサイン

ビットアサイン	D7	D6	D5	D4	D3	D2	D1	D0
ステータス	IRQ	FT1	FT2				LD	BUSY

2. ステータス機能説明

名称	機能
BUSY	FMレジスタアレー1の05HのNEW2ビットを‘1’にすることにより有効となるフラグです。アドレスライト、データライト中に‘1’になります。LSI内部のライト動作が終了するとBUSYは自動的にリセットされます。
LD (LOAD)	LDフラグは音色データをロード中に‘1’となります。ヘッダーデータのロードが終了するとLDは自動的にリセットされます。
FT2 (FLAG TIMER2)	タイマー2で設定された時間がカウントされると‘1’となります。RSTに‘1’を設定するとリセットされます。
FT1 (FLAG TIMER1)	タイマー1で設定された時間がカウントされると‘1’となります。RSTに‘1’を設定するとリセットされます。
IRQ (INTERRUPT REQUEST)	割り込み要求です。FT1もしくはFT2に‘1’が立つとこのビットは‘1’となります。RSTに‘1’を設定するとリセットされます。

3. ステータスレジスタの初期値 (デバイスID) について

OPL2でイニシャライズ後にステータスをリードすると06h(D1とD2ビットが“1”)が出力されます。OPL3では00hがリードされます。

YMF278BではNEW2を“1”に設定した後にステータスをリードすると02hが出力されるようになっています。読み出された後は自動的にリセットされます。

但し、02hが読み出されるのはイニシャライズ後のステータスリード1回のみです。このため、ステータスレジスタをOPL4の識別に使用するのは適当ではありません。デバイスIDレジスタをPCMレジスタ部に用意しておりますのでこちらを使用して下さい。

■ 電気的特性

1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{DD}	-0.3~7.0	V
入力電圧	V _{IN}	-0.3~V _{DD} +0.5	V
動作温度	T _{OP}	0~70	℃
保存温度	T _{STG}	-50~125	℃

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{DD}	4.75	5.00	5.25	V
動作温度	T _{OP}	0	25	70	℃

3. 直流特性 (条件 : Ta = 0~70℃、V_{DD} = 5.0±0.25V)

項目	記号	条件	最小	最大	単位
消費電力	P _D	V _{DD} = 5.0V f _M = 33.8688MHz		250	mW
入力電圧Hレベル (1)	V _{IH1}	*1	2.0		V
入力電圧Lレベル (1)	V _{IL1}			0.8	V
入力電圧Hレベル (2)	V _{IH2}	*2	3.5		V
入力電圧Lレベル (2)	V _{IL2}			1.0	V
入力リーク電流	I _{L1}	0V ≤ V _{IN} ≤ V _{DD} *3	-10	10	μA
入力容量	C _I			10	pF
出力電圧Hレベル (1)	V _{OH1}	I _{OH} = -80 μA *4	V _{DD} -1.0		V
出力電圧Lレベル (1)	V _{OL1}	I _{OL} = 2mA		V _{SS} +0.4	V
出力電圧Hレベル (2)	V _{OH2}	I _{OH} = -160 μA *5	V _{DD} -1.0		V
出力電圧Lレベル (2)	V _{OL2}	I _{OL} = 4mA		V _{SS} +0.4	V
出力容量	C _O			10	pF
出力リーク電流	I _{LO}	/CS = V _{IH} *6	-10	10	μA
プルアップ抵抗	R _U	*7	50	400	kΩ

注) *1: /WR, /RD, /CS, A0~A2, D0~D7, MD0~MD7に適用。

*2: /TST1, /TST2, XIに適用。

*3: /WR, /RD, /CS, A0~A2, D0~D7, MD0~MD7に適用。

*4: D0~D7 (出力時), CLKO, BCO, LRO, WCO, DO0~DO2, /MWR, /MRD, MD0~MD7 (出力時)に適用。

*5: MA0~MA20, /MCS0~/MCS13に適用。

*6: D0~D7がハイインピーダンスの時。

*7: /CS, /IC, /TST1, /TST2に適用。

4. 交流特性 (条件 : Ta = 0~70°C、V_{DD} = 5.0±0.25V)

(1) クロック及びイニシャルクリア

項目	記号	図	最小	標準	最大	単位
マスタークロック周波数	f _{M1}	Fig1-1		33.8688		MHz
デューティ	D		40		60	%
出力クロック周波数	f _{M2}	Fig1-2		16.9344		MHz
デューティ	D			50		%
リセットパルス幅	Nicw	Fig1-3	3000			サイクル*

* マスタークロックのサイクル数

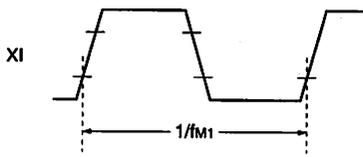


Fig1-1 入力クロックタイミング

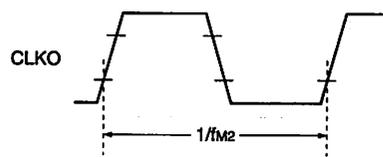


Fig1-2 出力クロックタイミング

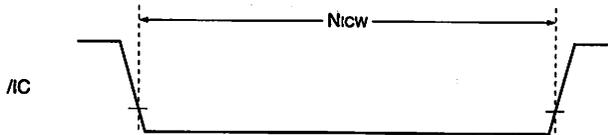


Fig1-3 リセットパルス幅

(2) CPUインターフェイス

項目	記号	図	最小	標準	最大	単位
アドレスセットアップ時間	t _{AS}	Fig1-4, 5	5			ns
アドレスホールド時間	t _{AH}	Fig1-4, 5	5			ns
チップセレクトライト幅	t _{CSW}	Fig1-4	50			ns
チップセレクトリード幅	t _{CSR}	Fig1-5	80			ns
ライトパルス幅	t _{WW}	Fig1-4	50			ns
ライトデータセットアップ時間	t _{WDS}	Fig1-4	10			ns
ライトデータホールド時間	t _{WDH}	Fig1-4	10			ns
リードパルス幅	t _{RW}	Fig1-5	80			ns
リードデータアクセス時間	t _{ACC}	Fig1-5			60	ns
リードデータホールド時間	t _{RDH}	Fig1-5	10			ns

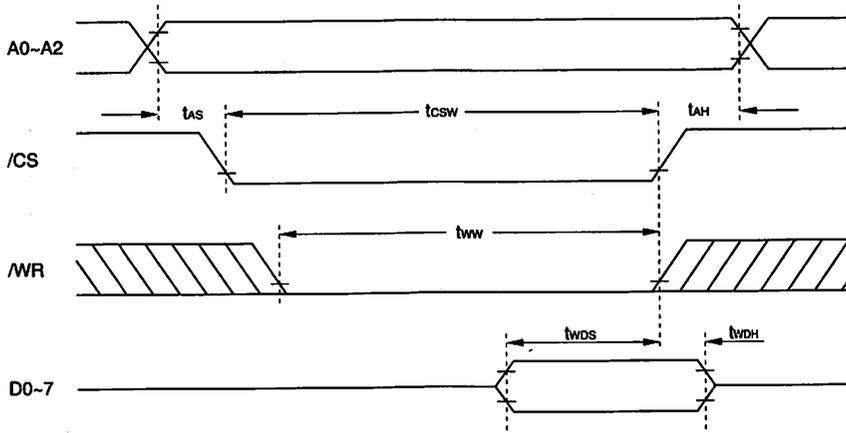


Fig1-4 CPUライトタイミング

(注) t_{CSW} 、 t_{WW} 、 t_{WDH} は/ CS 、/ WR のいずれかがHighレベルになった時を基準とする。

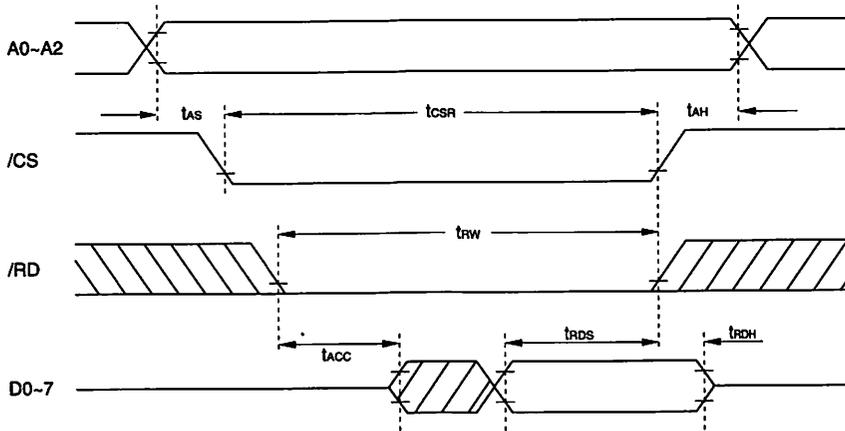


Fig1-5 CPUリードタイミング

(注) t_{ACC} は/ CS 、/ RD のLowレベルのなるのが遅いものを基準とする。
 t_{CSR} 、 t_{RW} 、 t_{RDH} は/ CS 、/ RD のいずれかがHighレベルになった時を基準とする。

(3) オーディオインターフェイス

項目	記号	最小	標準	最大	単位
ビットクロック周波数	fbc		48fs		MHz
ビットクロックHレベル時間	tch	110			ns
データアウトセットアップ時間	tdos	100			ns
データアウトホールド時間	tDOH	300			ns
LRクロックセットアップ時間	tLRS	100			ns
LRクロックホールド時間	tLRH	300			ns
ワードクロックホールド時間	twch	300			ns

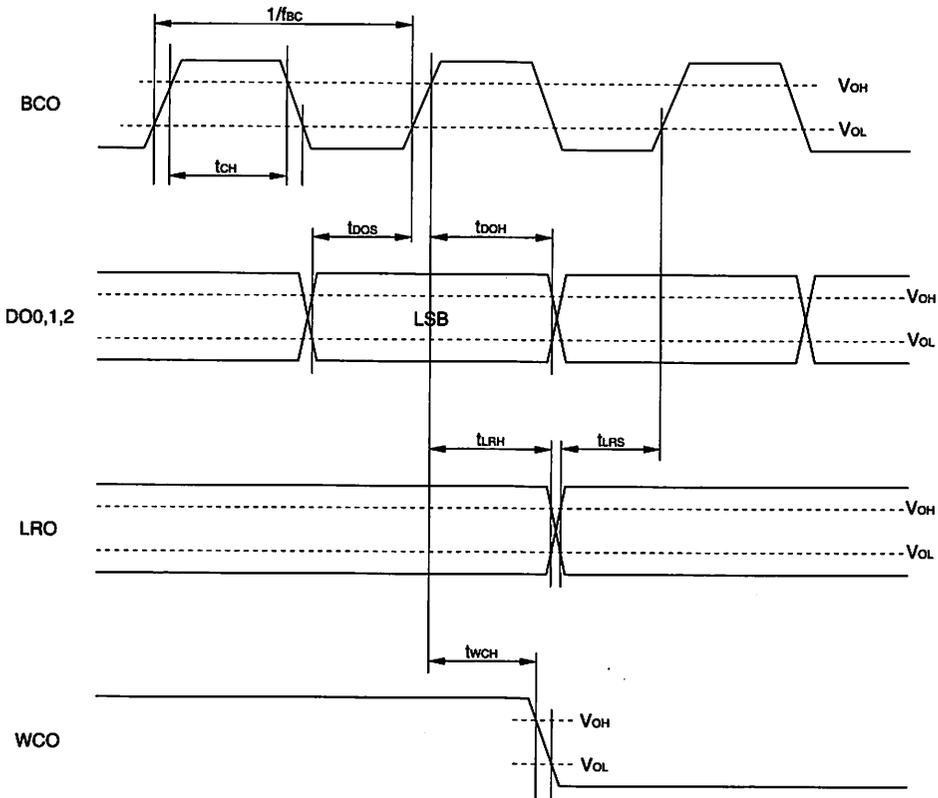


Fig1-6 オーディオ出力タイミング

(4) メモリインターフェイス

項目	記号	図	最小	標準	最大	単位
ライトサイクル時間	t _{wc}	Fig1-7	600			ns
/MWRに対するアドレス確定期間	t _{aw}	Fig1-7	500			ns
/MWRに対する/MCS確定期間	t _{cw}	Fig1-7	450			ns
ライトアドレスセットアップ時間	t _{was}	Fig1-7	250			ns
ライトリカバリ時間	t _{wr}	Fig1-7	50			ns
ライトパルス幅	t _{ww}	Fig1-7	150			ns
ライトデータセットアップ時間	t _{wds}	Fig1-7	150			ns
ライトデータホールド時間	t _{wdh}	Fig1-7	5			ns
アドレスアクセス時間	t _{rc}	Fig1-8			150	ns
チップイネーブルアクセス時間	t _{ce}	Fig1-8			150	ns
出力ディセーブル時間	t _{df}	Fig1-8			90	ns
リードデータホールド時間	t _{rdh}	Fig1-8	0			ns

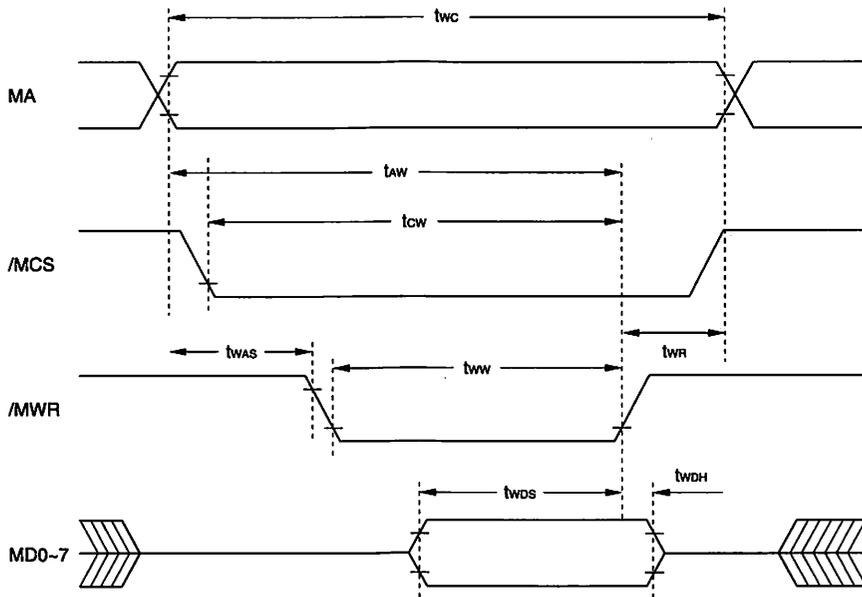


Fig1-7 メモリライトタイミング

(注) 上記の数値は、ライトウエイトサイクル時間を確保した場合の数値です。

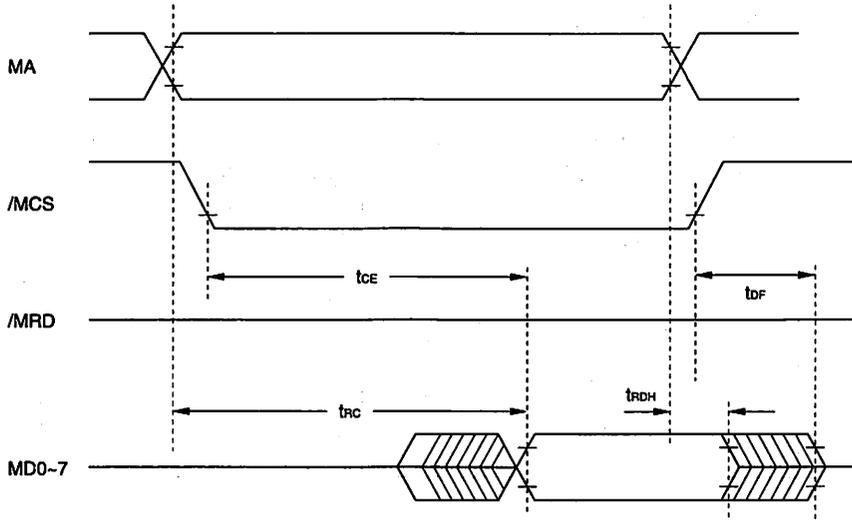


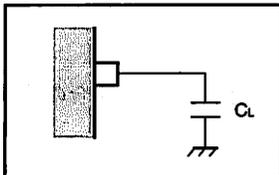
Fig1-8 メモリリードタイミング

- (注) 1. 上記のリードタイミングは、発音時でのメモリリードタイミングです。
 2. /MRD信号は、常に“L”です。

(5) 交流特性測定条件

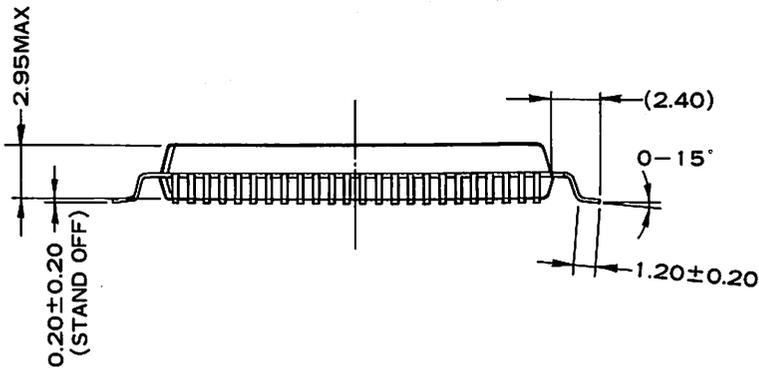
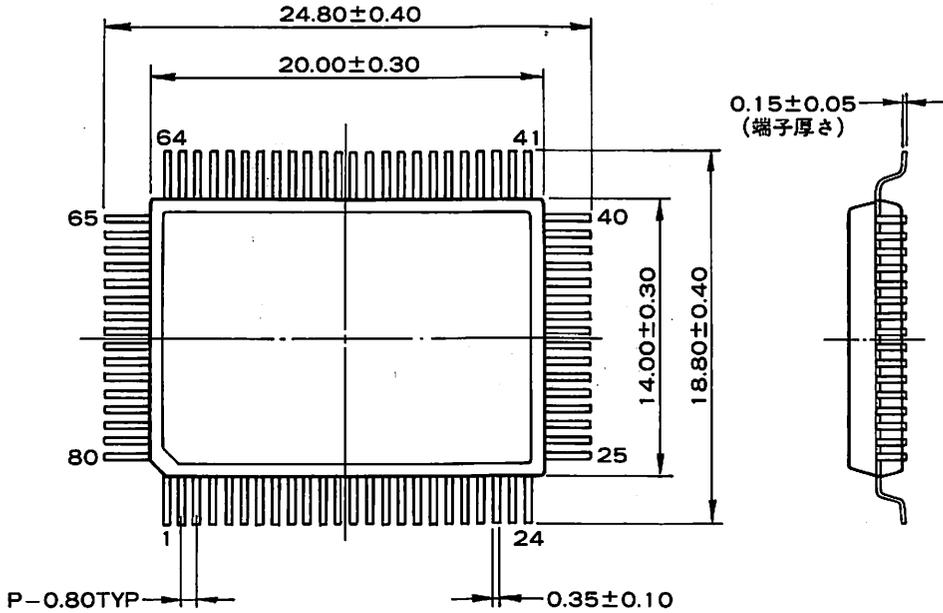
項目	条件
入力パルス電圧	$V_{IH} = 2.4V$ $V_{IL} = 0.4V$ (XI, /TST1, /TST2以外) $V_{IH} = 3.9V$ $V_{IL} = 0.6V$ (XI, /TST1, /TST2)
入力パルス立ち上がり、立ち下がり時間	$t_{rF} = 5ns$
タイミング測定基準電圧	$V_{OH} = 0.7 * V_{DD}$ $V_{OL} = 0.2 * V_{DD}$ (CLKO, BCO, LRO, WCO, DO0~2) <hr/> $V_{OH} = 2.2V$ $V_{OL} = 0.8V$ (D0~D7, MA0~20, /MCS0~9, MD0~7, /MWR, /MRD)
出力負荷	$C_L = 100pF$

- 出力負荷回路



■ パッケージ外形図

- YMF278B-F



カッコ内の寸法値は参考値とする
 モールド外形寸法はバリを含まない
 単位(UNIT):mm

