

YM2149

3-ch SSG sound generator
(SSG)

■ 概 要

SSG (Software-Controlled Sound Generator)は、マイクロプロセッサ又はマイクロコンピュータ (以下CPUと呼びます) から内蔵レジスターに初期設定をするだけで、音を発生するように設計された、CPUの負担の軽いことを特長とする NMOS-LSI です。3 系列の矩形波発生器と 1 系列のノイズ発生器とエンベロープ発生器を内蔵しており、効果音、自動演奏、警報など各種の複雑な音を発生することができます。

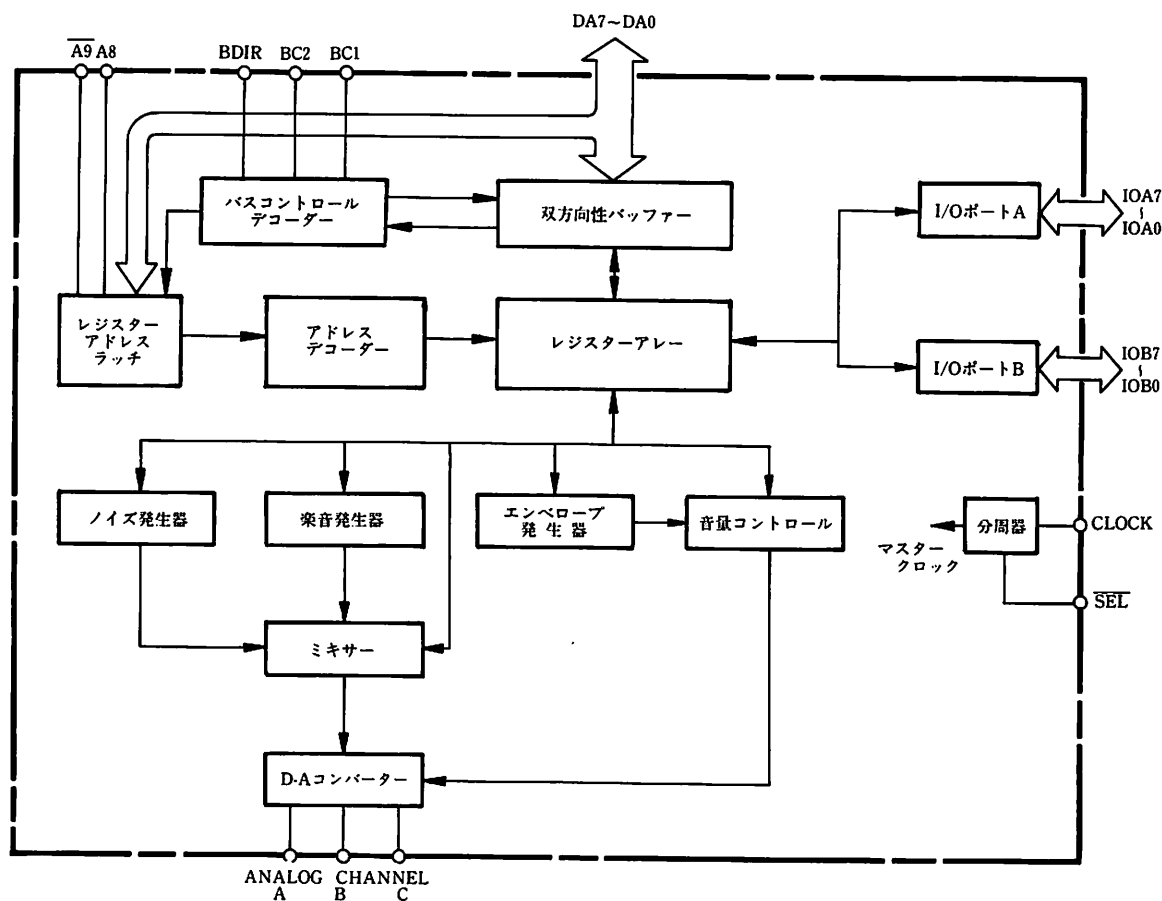
■ 特 徴

- 5 V 単一電源
- 8 ビット又は16ビットの CPU と容易に接続可能
- 2 系列の 8 ビット I/O ポートにより外部システムとの接続が容易
- 8 オクターブの広い発音域
- 5 ビットのエンベロープ発生器による滑らかな減衰感
- 5 ビット D-A コンバーター内蔵
- クロック分周器の内蔵により 2 倍の周波数のクロックを入力可能
- TTL コンパチブルレベル
- 低消費電力 (標準125mW)
- 40 ピンプラスチック DIL パッケージ
- GI 社 AY-3-8910 とピンコンパチブル

■ 端子配置図

Vss(GND)	1	40	Vcc(+5V)
N.C	2	39	TEST1
ANALOG CHANNEL B	3	38	ANALOG CHANNEL C
ANALOG CHANNEL A	4	37	DA0
N.C	5	36	DA1
IOB7	6	35	DA2
IOB6	7	34	DA3
IOB5	8	33	DA4
IOB4	9	32	DA5
IOB3	10	31	DA6
IOB2	11	30	DA7
IOB1	12	29	BC1
IOB0	13	28	BC2
IOA7	14	27	BDIR
IOA6	15	26	SEL
IOA5	16	25	A8
IOA4	17	24	A9
IOA3	18	23	RESET
IOA2	19	22	CLOCK
IOA1	20	21	IOA0

■ ブロック図



■ 端子機能

1. DA7~DA0

8ビットの双方向性バスで、SSGとCPUとの間でデータとアドレスのやりとりをします。リード又はライトモードではDA7~DA0はレジスタアレーのB7~B0に対し、アドレスモードではDA3~DA0はレジスタ選択に使われ、DA7~DA4は $\overline{A9}$ 、A8と一緒に上位アドレスとして使われます。

2. A8, $\overline{A9}$

上位アドレス入力端子で、A8はプルアップ抵抗を、 $\overline{A9}$ はプルダウン抵抗を内蔵しています。A8が高レベルで、 $\overline{A9}$ 、DA7~DA4が低レベルの時、アドレスモードでのアドレス取込みが出来ます。A8、 $\overline{A9}$ を使用しない時はそれぞれ、+5VとGNDに接続して下さい。

3. $\overline{\text{RESET}}$

低レベル時にリセット有効となり、レジスタアレーの内容が全て"0"になります。プルアップ抵抗を内蔵しています。

4. CLOCK

音源、エンベロープ発生器へ、マスタークロックを供給します。 $\frac{1}{8}$ 分周器を内蔵しており、入力クロックの $\frac{1}{8}$ の周波数をマスタークロックとして使用することもできます。

5. $\overline{\text{SEL}}$

$\overline{\text{SEL}}$ が高レベルでは入力クロックがマスタークロックとなり、 $\overline{\text{SEL}}$ が低レベルでは入力クロックを $\frac{1}{8}$ に分周したものがマスタークロックとなります。プルアップ抵抗を内蔵しています。

6. BDIR, BC1, BC2

SSGの外部バス (DA7~DA0) 及び内部バスのコントロールをします。内部デコーダにより次の4種類のモードに設定されます。バスコントロールは冗長なのでBC2を+5Vに接続してもコントロールが可能です。

BDIR	BC2	BC1	モード
0	0	0	インアクティブ
0	0	1	アドレス
0	1	0	インアクティブ
0	1	1	リード
1	0	0	アドレス
1	0	1	インアクティブ
1	1	0	ライト
1	1	1	アドレス

表1 バスコントロールデコード

BDIR	BC2	BC1	モード
0	1	0	インアクティブ
0	1	1	リード
1	1	0	ライト
1	1	1	アドレス

表2 冗長でないバスコントロールデコード

インアクティブモード：DA7~DA0が高インピーダンスになります。

アドレスモード：DA7~DA0が入力モードになり、内蔵レジスタアレーのアドレスを取込みます。

ライトモード：DA7~DA0が入力モードになり、現在アドレスされている内蔵レジスタにデータを書込みます。

リードモード：DA7~DA0が出力モードになり、現在アドレスされている内蔵レジスタの内容を出力します。

7. ANALOG CHANNEL A,B,C

各チャンネルにD-Aコンバーターを持ち、計算したデジタル値をアナログ信号に変換して出力します。

8. IOA7~IOA0, IOB7~IOB0

2組みの8ビットI/Oポートです。外部システムとCPUとの間をSSGを介してデータの転送が出来ます。プルアップ抵抗を内蔵しています。

9. TEST1

テスト出力端子です。どこにも接続しないで下さい。

10. Vcc

+5Vの電源端子です。

11. Vss

接地端子です。

■ 機能説明

SSGの全機能は16個の内蔵レジスターによって制御されます。CPUは、SSGの内蔵レジスターにデータを書き込むだけでよく、音の発生はSSG自身が行ないます。次の各ブロックによって音が発生されます。

- 楽 音 発 生 器：各チャンネル(A、B、C)毎に、周波数の異った矩形波を発生させます。
- ノ イ ズ 発 生 器：擬似ランダム波形を発生します。(周波数可変)
- ミ キ サ ー：各チャンネル(A、B、C)毎に、楽音とノイズの出力を混合します。
- 音量コントロール：各チャンネル(A、B、C)毎に、一定音量又は可変音量を与えます。一定音量はCPUによって制御され、可変音量はエンベロープ発生器によって制御されます。
- エンベロープ発生器：各種のエンベロープ(単発減衰、繰返し減衰等)を発生させます。
- D-A コンバーター：各チャンネル(A、B、C)毎に、音量コントロールによって決められたレベルで出力します。

なお、CPUは音に影響を与えることなく、いつでも内蔵レジスターの内容を読むことができます。

1. レジスターアレー

A9	A8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	1	1	1

上位アドレス
(チップセレクト)

下位アドレス
(レジスターアドレス)

10ビットのアドレスのうち下位アドレスDA3～DA0は16個の内蔵レジスターの選択をします。上位アドレスはチップセレクトとして働き、A9、A8は01に、DA7～DA4は0000にプログラムされています。上位アドレスがプログラム値に一致すると、レジスターアドレス(下位4ビットDA3～DA0)を取込みます。上位アドレスがプログラム値と異なる場合は、双方向性バスDA7～DA0は高インピーダンスになります。一度取込んだレジスターアドレスは、次のアドレスを取込むまで保持され、リード、ライト、インアクティブモードによる影響を受けません。

レジスターアレーの内容を表3に示します。

レジスター		ビット							
		B7	B6	B5	B4	B3	B2	B1	B0
R0	チャンネルAの周波数	8ビットトーン微調整							
R1						4ビットトーン粗調整			
R2	チャンネルBの周波数	8ビットトーン微調整							
R3						4ビットトーン粗調整			
R4	チャンネルCの周波数	8ビットトーン微調整							
R5						4ビットトーン粗調整			
R6	ノイズの周波数					5ビットノイズ周波数			
R7	I/Oポート、ミキサー の設定	I/O		ノイズ			トーン		
		IOB	IOA	C	B	A	C	B	A
R8	チャンネルAの音量				M	L3	L2	L1	L0
R9	チャンネルBの音量				M	L3	L2	L1	L0
RA	チャンネルCの音量				M	L3	L2	L1	L0
RB	エンベロープの周波数	8ビット微調整							
RC		8ビット粗調整							
RD	エンベロープの形状					CONT	ATT	ALT	HOLD
RE	I/OポートAのデータ	8ビットデータ							
RF	I/OポートBのデータ	8ビットデータ							

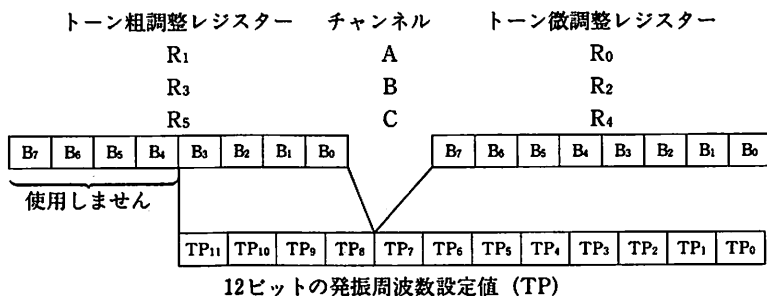
(レジスター番号は16進表示) 表3 レジスターアレー

(1) 楽音周波数の設定(レジスターR₀~R₅で制御)

3チャンネル(A、B、C)の楽音発生器で作られる矩形波の周波数はレジスターR₀~R₅によって設定されます。R₀、R₁がチャンネルAを、R₂、R₃がチャンネルBを、R₄、R₅がチャンネルCをそれぞれ制御します。発振周波数 f_T はレジスターの値TP(10進)から次のように決められます。

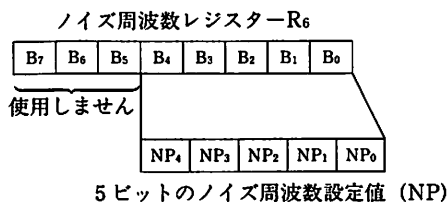
$$f_T = \frac{f_{Master}}{16TP}$$

但し、 f_{Master} はマスタークロックの周波数(SELが高レベルの時は入力クロックの周波数、SELが低レベルの時は入力クロックの $\frac{1}{2}$ の周波数)です。

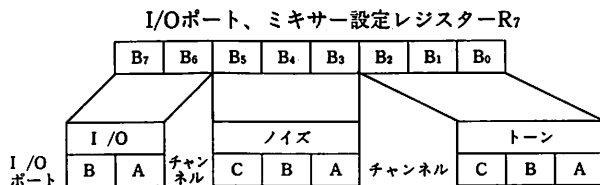
(2) ノイズ周波数の設定(レジスターR₆で制御)

ノイズ音源の周波数 f_N はレジスターの値NP(10進)から次のように決められます。

$$f_N = \frac{f_{Master}}{16NP} \quad (f_{Master} \text{はマスタークロックの周波数})$$

(3) ミキサー、I/Oポートの設定(レジスターR₇で制御)

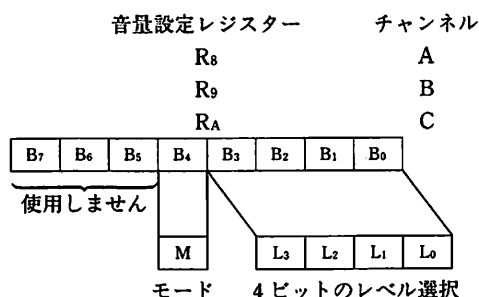
ミキサーは楽音とノイズ音の混合をしますが、その混合を決めるのがR₇のB₅~B₀です。レジスターに0を書き込まれた音が出力します。従ってノイズと楽音が共に0を書かれていれば混合されて出力し、どちらかだけが0ならば、0の方の音が出力します。両方共に1が書かれていると出力しません。I/Oポートの入出力はR₇のB₇、B₆で決められます。レジスターに0が書かれていると入力となります。



(I/Oポートは0で入力となり、ノイズ、トーンは0で出力可能になります)

(4) 音量コントロール($R_8 \sim R_A$ で制御)

3チャンネル(A、B、C)の音量はレジスター $R_8 \sim R_A$ で制御されます。

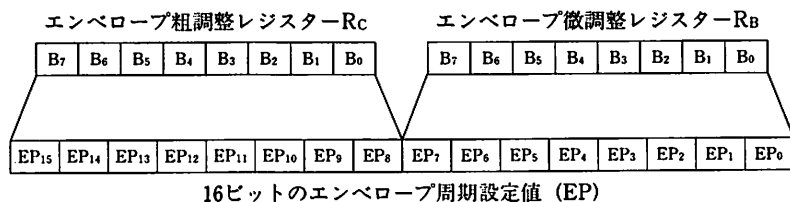


モードMは固定音量(M=0)にするか、可変音量(M=1)にするかの選択をします。M=0のときは、4ビットのレベル選択信号 $L_3 L_2 L_1 L_0$ で16通りのレベルから1つを選んで発音します。音量を変えたい時は $L_3 L_2 L_1 L_0$ を変化させます。M=1のときは内蔵のエンベロープ発生器で作られる $E_4 E_3 E_2 E_1 E_0$ の5ビットの信号によって音量を決められて発音します($E_4 \sim E_0$ が時間と共に変化するので可変音量になります)。

(5) エンベロープ周波数の設定(R_B, R_C で制御)

エンベロープの繰り返し周波数 f_E は、エンベロープ周期の設定値EP(10進)から次のように決められます。

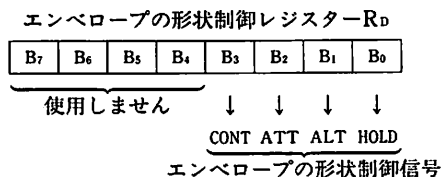
$$f_E = \frac{f_{\text{Master}}}{256EP} \quad (f_{\text{Master}} \text{はマスタークロック周波数})$$



実際にエンベロープ発生器で使う周波数 f_{EA} の周期はエンベロープの繰り返し周期($1/f_E$)の1/32です。

(6) エンベロープの形状コントロール(R_D で制御)

エンベロープ発生器は、エンベロープパターンの1サイクル当り、エンベロープ周波数 f_{EA} を32回カウントします。この5ビットのカウンターの出力 $E_4 E_3 E_2 E_1 E_0$ によってエンベロープレベルが決まります。エンベロープの形状はこのカウンター値を上昇、下降させたり1サイクルで止めたり、繰り返しをさせたりして作られます。この形状の制御はレジスター R_D の $B_3 \sim B_0$ によって行なわれます。



CONT、ATT、ALT、HOLDにより、エンベロープは表4に示すような各種形状をとります。

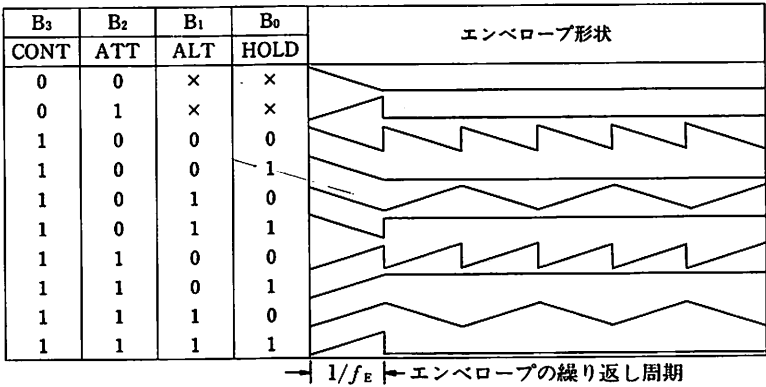


表4 エンベロープの形状

(7) I/Oポートのデータ保持(R_E、R_F)

レジスタR_E、R_FはCPUからのI/Oポートへの書き込みデータを貯えておくところです。R_EがIOA用で、R_FがIOB用のレジスタです。

2. D-Aコンバーター

D-Aコンバーターは最大振幅を1Vに正規化した時に、図1に示すような出力に変換します。これは直線対数変換になっていて、広いダイナミックレンジを持ち、自然な減衰感が得られます。(出力には2V前後のDC成分が載っています。このDCレベルを基準にして(これが0レベルです)出力電圧を論じていますので注意して下さい。

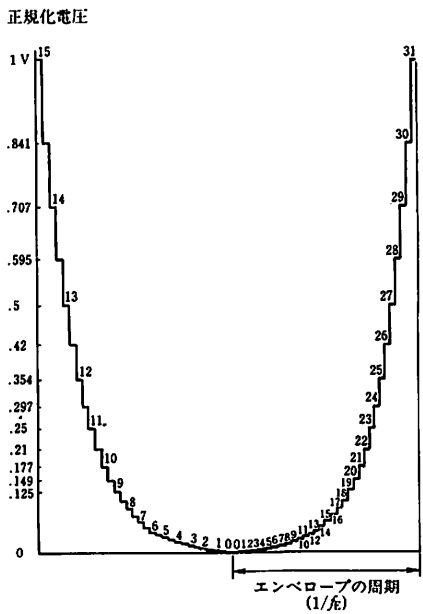


図1 D-Aコンバーターの出力レベル
図中左半分の添字は固定音量の選択信号L₃L₂L₁L₀を10進表示したもので、右半分の添字はエンベロープカウンターの出力E₄E₃E₂E₁E₀を10進表示したものです。

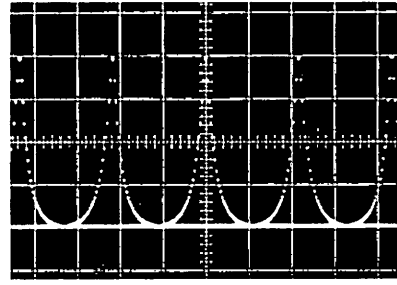


図2 エンベロープ(R_D=1110)を付与した単音の出力波形

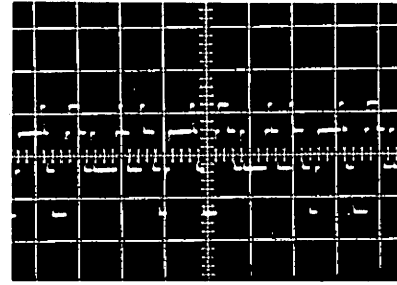


図3 固定音量(R₈~R_A=11100)のときの3音ミキシングの出力波形

■電気的特性

1. 絶対最大定格

項 目	定 格 値	単 位
端 子 電 圧	-0.3~+7.0	V
動 作 周 囲 温 度	0~70	℃
保 存 温 度	-50~125	℃

2. 推奨動作条件

項 目	記 号	最 小	標 準	最 大	単 位
電 源 電 圧	V _{CC}	4.75	5.0	5.25	V
	V _{SS}	0	0	0	V

3. 直流特性

項 目	記号	条 件	最小	標準	最大	単位
●入 力 端 子						
低レベル入力電圧	V _{IL}		-0.3		0.8	V
高レベル入力電圧	V _{IH}		2.2		V _{CC}	V
入力リーク電流	I _{LI}	V _I =0~5V (CLOCK, B0IR, BCL, BC2) (DA0**~IOA7, IOB0**~IOB7, RESET, SEL, A8に適用)			10	μA
プルアップ抵抗	R _U	(IOA0**~IOA7, IOB0**~IOB7, RESET, SEL, A8に適用)	60		600	kΩ
プルダウン抵抗	R _D	(A9に適用)	60		600	kΩ
●出力端子(7ビット)						
低レベル出力電圧	V _{OL}	I _{OL} =1.6mA, C _L =100pF	0		0.4	V
高レベル出力電圧	V _{OH}	I _{OH} =100μA, C _L =100pF	2.5		V _{CC}	V
出力リーク電流	I _{LO}	V _O =0~5V (DA0***~DA7に適用)			10	μA
●アナログ出力端子						
最大出力電圧	V _{OA}	最大音量、ミキシングなし、R _L =1kΩ	0.96		1.35	V
●電 源 端 子						
電 源 電 流	I _{CC}			25	40	mA

* : DA0~7は入力モード

** : IOA, IOBは入力モード

*** : DA0~7は高インピーダンスモード

4. 交流特性

項 目	記号	条 件	最小	標準	最大	単位
●ク ロ ッ ク						
クロック周波数	f _c	SELが高レベルの場合は最大2MHz	1		4	MHz
クロック立上り時間	t _r	図4 参照			50	ns
クロック立下り時間	t _f				50	ns
デューティー			40	50	60	%
●バスコントロール						
バスコントロール信号変化時間	t _{BD}	図5 参照			50	ns
●リ セ ッ ト						
リセットパルス幅	t _{rw}	図6 参照	500			ns
リセット・バスコントロール遅延時間	t _{rb}		100			ns
●アドレスモード		(A9, A8, DA0~7)				
アドレスセットアップ時間	t _{AS}	図7 参照	300			ns
アドレス保持時間	t _{AH}		80			ns
●ライトモード		(DA7~DA0)				
ライト信号時間	t _{DW}	図8 参照	300		10000	ns
データセットアップ時間	t _{DS}		0			ns
データ保持時間	t _{DH}		80			ns

項 目	記号	条 件	最小	標準	最大	単位
● リードモード データアクセス時間	t_{DA}	(DA7~DA0) 図9参照			400	ns
● インアクティブモード 高インピーダンス遷移時間	t_{TS}	(DA7~DA0) 図9参照			100	ns

5. 容量

項 目	記号	条 件	最小	標準	最大	単位
入 力 容 量	C_i	$f=1\text{MHz}$			10	pF
出 力 負 荷 容 量	C_L	DA0~7			100	pF

6. タイミング図

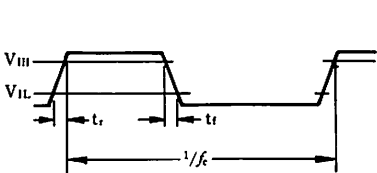


図4 クロックタイミング

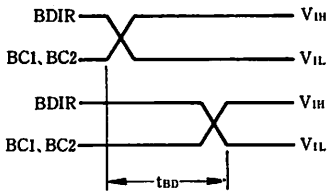


図5 バスコントロールタイミング

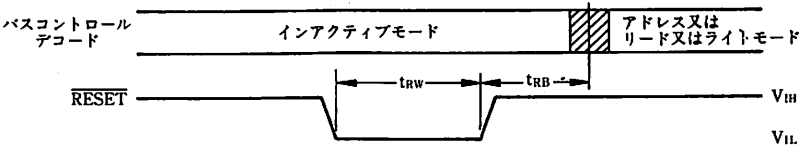


図6 リセットタイミング

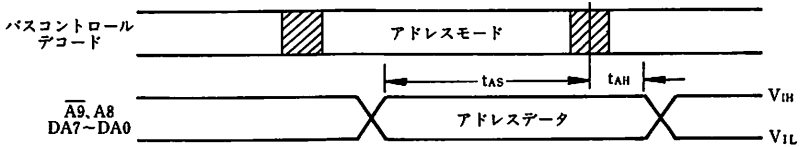


図7 アドレスタイミング

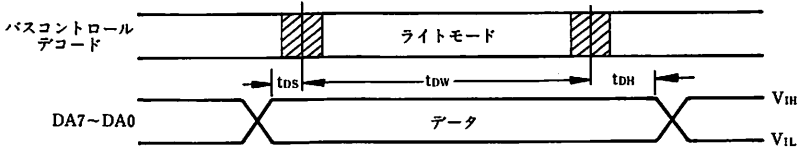


図8 ライトモード

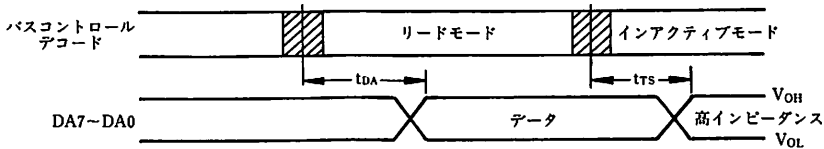


図9 リードモード

バスコントロールの変化時間は最大50ns

■パッケージ外形図

