

YMZ284

Software-controlled Sound Generator (SSGL)

■概要

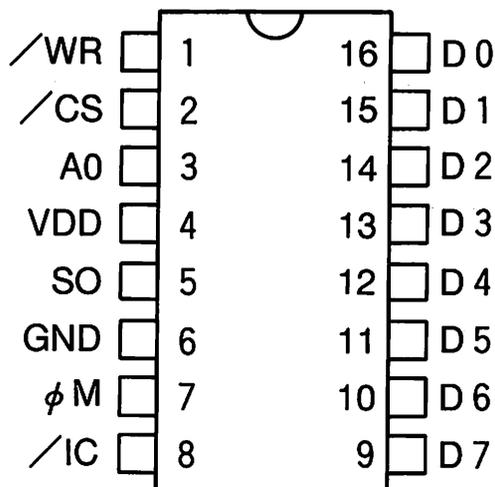
YMZ284 (SSGL) はYM2149 (SSG) 相当の音源LSIです。

3系列の矩形波発生器と1系列のノイズ発生器、エンベロープ発生器を内蔵しており、メロディ音、効果音等の発音が可能です。

■特徴

- YM2149とソフトウェアコンパチブルの矩形波3音+ノイズ1音の音源。
- 5ビットDACを3個内蔵し、3音ミキシング出力。
- /CS, /WR制御信号と8ビットデータバスによる汎用CPUインターフェイス。
- 8オクターブの広い発音域。
- 広いダイナミックレンジのエンベロープ発生器による滑らかな減衰感。
- 5V単一電源、シリコンゲートCMOSプロセス。
- 16ピンプラスチックDIP (YMZ284-D) または、16ピンプラスチックSOP (YMZ284-M)。

■端子配置図



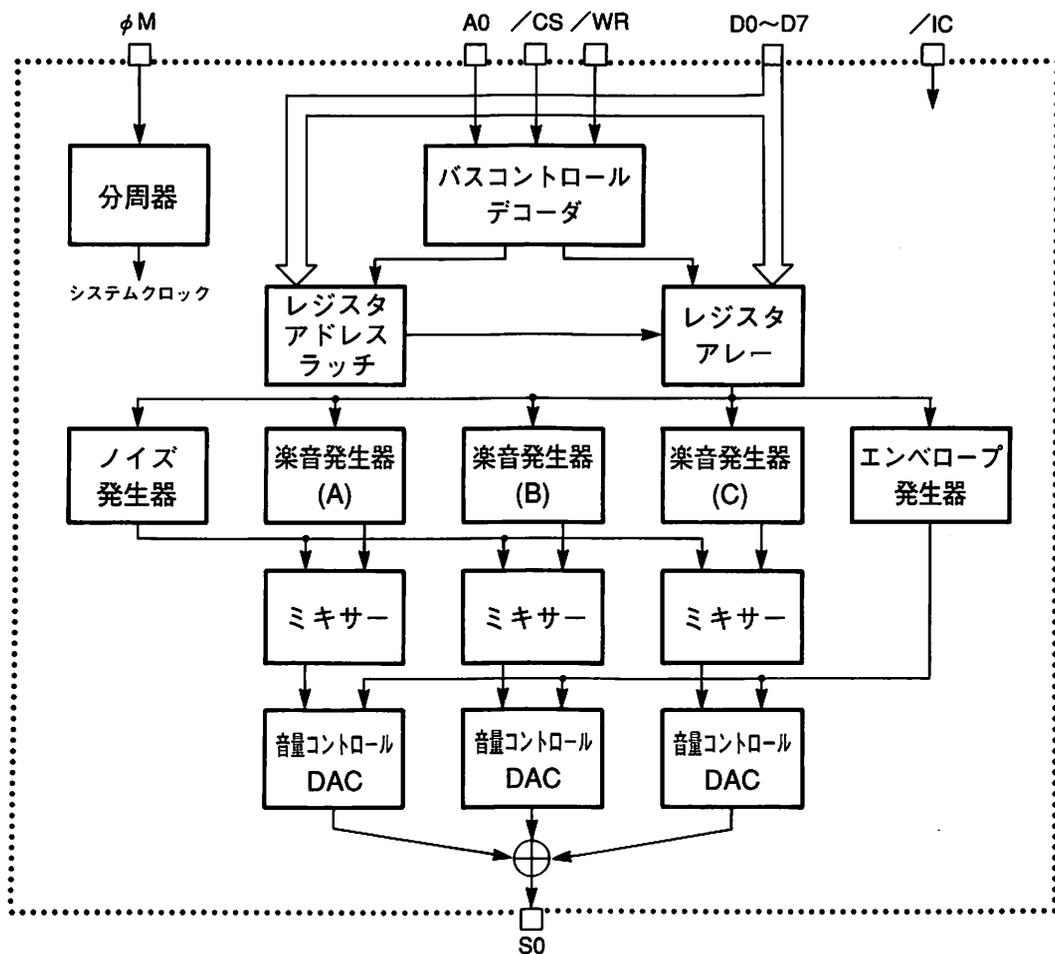
Top View (16 pin DIP, 16 pin SOP共通)

■端子機能

No	名称	I/O	機 能
1	/WR	I	CPUインターフェイス ライトイネーブル
2	/CS	I	CPUインターフェイス チップセレクト
3	A0	I	CPUインターフェイス アドレス/データセレクト
4	VDD	-	+5V電源
5	SO	O	SSG音源DAC出力
6	GND	-	グラウンド
7	φM	I	マスタークロック入力
8	/IC	I+	リセット入力
9	D7	I	CPUインターフェイス データ (MSB)
10	D6	I	CPUインターフェイス データ
11	D5	I	CPUインターフェイス データ
12	D4	I	CPUインターフェイス データ
13	D3	I	CPUインターフェイス データ
14	D2	I	CPUインターフェイス データ
15	D1	I	CPUインターフェイス データ
16	D0	I	CPUインターフェイス データ (LSB)

注) I+ : プルアップ抵抗付入力端子

■ブロック図



■端子機能説明

1. ϕM

マスタークロック入力です。入力周波数は1～4 MHzです。

2. D0～D7

8ビットのデータバスです。

3. /CS・/WR・A0

8ビットのデータバスからのアドレスとデータの書き込みをコントロールします。

/CS	/WR	A0	動作
L	L	L	SSGLにアドレスを書き込みます。
L	L	H	SSGLにデータを書き込みます。

4. /IC

‘L’の時システムリセットになります。レジスタアレーの内容が全て‘0’になります。

5. SO

音声信号のアナログ出力です。

6. VDD

+5Vの電源端子です。

7. GND

接地端子です。

■機能説明

SSGLの全機能は15個の内蔵レジスタによって制御されます。

以下は各ブロックの機能についての説明です。

- 楽音発生器各チャンネル (A, B, C) 毎に、周波数の異なった矩形波を発生させます。
- ノイズ発生器疑似ランダム波形を発生します (周波数可変)。
- ミキサー各チャンネル (A, B, C) の音楽とノイズの出力をミキシングします。
- 音量コントロール各チャンネル (A, B, C) 毎に、一定音量または可変音量を与えます。
一定音量はCPUによって制御され、可変音量はエンベロープ発生器によって制御されます。
- エンベロープ発生器各種のエンベロープを発生させます。
- D/Aコンバータミキシングされた音声信号をアナログ出力します。

■レジスタアレー

ADDR	機 能	D7	D6	D5	D4	D3	D2	D1	D0	
\$00	チャンネル-A 周波数	8ビット トーン微調整								
\$01						4ビット トーン粗調整				
\$02	チャンネル-B 周波数	8ビット トーン微調整								
\$03						4ビット トーン粗調整				
\$04	チャンネル-C 周波数	8ビット トーン微調整								
\$05						4ビット トーン粗調整				
\$06	ノイズ周波数					5ビット ノイズ周波数				
\$07	ミキサー設定				ノ イ ズ			ト ー ン		
					C	B	A	C	B	A
\$08	チャンネル-A 音量				M	L3	L2	L1	L0	
\$09	チャンネル-B 音量				M	L3	L2	L1	L0	
\$0A	チャンネル-C 音量				M	L3	L2	L1	L0	
\$0B	エンベロープ周波数	8ビット 微調整								
\$0C		8ビット 粗調整								
\$0D	エンベロープ形状					CONT	ATT	ALT	HOLD	
\$0F	LSIテスト	'0'	'0'	'0'	'0'					

注) 1: \$0FのD7, D6, D5, D4は必ず '0' にしてください。

■レジスタ機能

● 楽音周波数の設定 (\$00~\$05)

3チャンネル (A, B, C) の楽音発生器で作られる矩形波の周波数 f_r は次のように決められます。

$$f_r = \frac{f_{Master}}{32TP}$$

	D7	D6	D5	D4	D3	D2	D1	D0
\$00 (チャンネルA)								
\$02 (チャンネルB)	TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0
\$04 (チャンネルC)								

	D7	D6	D5	D4	D3	D2	D1	D0
\$01 (チャンネルA)								
\$03 (チャンネルB)					TP11	TP10	TP9	TP8
\$05 (チャンネルC)								

f_{Master} はマスタークロックの周波数

$$TP = TP11 * 2^{11} + TP10 * 2^{10} + TP9 * 2^9 + TP8 * 2^8 + TP7 * 2^7 + TP6 * 2^6 + TP5 * 2^5 + TP4 * 2^4 + TP3 * 2^3 + TP2 * 2^2 + TP1 * 2 + TP0$$

● ノイズ周波数の設定 (\$06)

ノイズ発生器で作られるノイズ音の周波数 f_N は次のように決められます。

$$f_N = \frac{f_{Master}}{32NP}$$

	D7	D6	D5	D4	D3	D2	D1	D0
\$06				NP4	NP3	NP2	NP1	NP0

f_{Master} はマスタークロックの周波数、 $NP = NP4 * 2^4 + NP3 * 2^3 + NP2 * 2^2 + NP1 * 2 + NP0$

● ミキサーの設定 (\$07)

各チャンネル (A, B, C) ごとに楽音 (トーン) 及びノイズ音を出力するかどうか設定します。

レジスタに '0' を書き込むと音を出力します。ノイズとトーンが共に '0' の時はミキシングされて出力されます。

	D7	D6	D5	D4	D3	D2	D1	D0
\$07			ノイズ			トーン		
			C	B	A	C	B	A

● 音量コントロールとDAC (\$08~\$0A)

各チャンネル (A, B, C) の音量を設定します。

M=0の時は、L3, L2, L1, L0の4ビットのデータによって16通りのレベルから1つを選択します。

	D7	D6	D5	D4	D3	D2	D1	D0	
\$08 (チャンネルA)					M	L3	L2	L1	L0
\$09 (チャンネルB)					M	L3	L2	L1	L0
\$0A (チャンネルC)					M	L3	L2	L1	L0

M=1の時は内蔵のエンベロープ発生器で作られるE4, E3, E2, E1, E0の5ビットのデータによって音量を制御します。E4, E3, E2, E1, E0は時間と共に変化するので、可変音量になります。

5ビットDACは最大振幅を1Vに正規化した時に、以下に示すような出力に変換します。これは直線対数変換になっていて、広いダイナミックレンジを持ち、自然な減衰音が得られます。

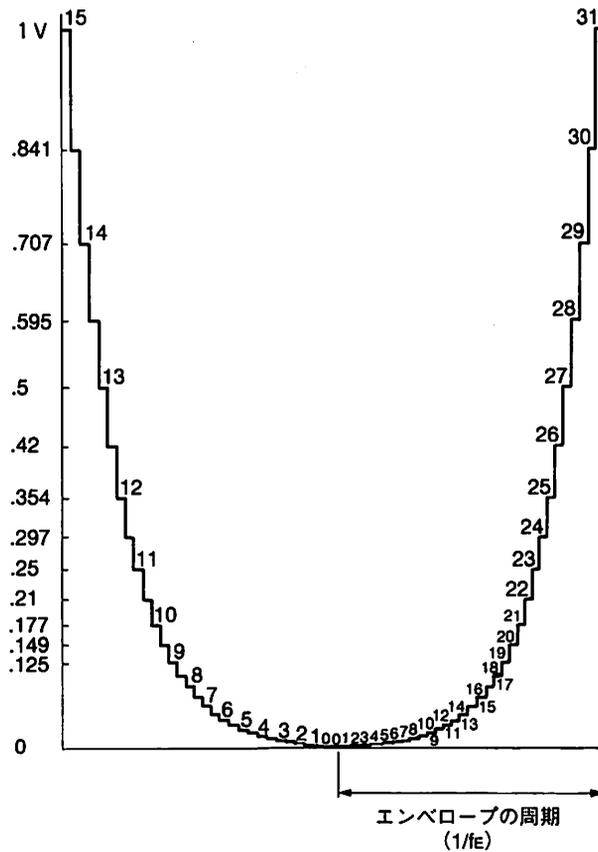


図1 D/Aコンバータの出力レベル

図中左半分の添字は、 $L3 * 2^3 + L2 * 2^2 + L1 * 2 + L0$ 、

図中右半分の添字は、 $E4 * 2^4 + E3 * 2^3 + E2 * 2^2 + E1 * 2 + E0$ です。

● エンベロープ周波数の設定 (\$0B~\$0C)

エンベロープの繰り返し周波数 f_E は次のように決められます。

$$f_E = \frac{f_{Master}}{512EP}$$

\$0B	D7	D6	D5	D4	D3	D2	D1	D0
	EP7	EP6	EP5	EP4	EP3	EP2	EP1	EP0

\$0C	D7	D6	D5	D4	D3	D2	D1	D0
	EP15	EP14	EP13	EP12	EP11	EP10	EP9	EP8

f_{Master} はマスタークロックの周波数

$$EP = EP15 * 2^{15} + EP14 * 2^{14} + EP13 * 2^{13} + EP12 * 2^{12} + EP11 * 2^{11} + EP10 * 2^{10} + EP9 * 2^9 + EP8 * 2^8 + EP7 * 2^7 +$$

$$EP6 * 2^6 + EP5 * 2^5 + EP4 * 2^4 + EP3 * 2^3 + EP2 * 2^2 + EP1 * 2 + EP0$$

実際にエンベロープ発生器で使う周波数 f_{EA} の周期は、エンベロープの繰り返し周期 ($1/f_E$) の1/32です。

● エンベロープの形状コントロール (\$0D)

エンベロープ発生器は、E4, E3, E2, E1, E0 を出力する5ビットのカウンタを持ち、エンベロープの繰り返し周波数 f_E の32倍の周波数でカウントします。

\$0D	D7	D6	D5	D4	D3	D2	D1	D0
					CONT	ATT	ALT	HOLD

CONT, ATT, ALT, HOLD の設定によりこのカウンタをアップカウントしたり、ダウンカウントしたり、1サイクルで止めたり、繰り返しをさせたりしてエンベロープの形状をつくります。

このカウンタは、\$0D のレジスタにデータが書き込まれた時にカウントを開始します。

CONT, ATT, ALT, HOLDにより、エンベロープは表4に示すような各種形状をとります。

D3	D2	D1	D0	エンベロープ形状
CONT	ATT	ALT	HOLD	
0	0	×	×	
0	1	×	×	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

→ | 1 / f_E | ← エンベロープの繰り返し周期

■電気的特性

1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{DD}	-0.3 ~ 7.0	V
入力電圧	V _I	V _{SS} -0.3 ~ V _{DD} +0.3	V
保存温度	T _{stg}	-50 ~ 125	°C

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{DD}	4.75	5	5.25	V
動作温度	Top	0	25	70	°C

3. 直流特性 (条件: Ta=0~70°C, V_{DD}=5.0±0.25V)

項目	記号	条件	最小	標準	最大	単位
入力電圧Hレベル	V _{IH}	*1	2.2			V
入力電圧Lレベル	V _{IL}	*1			0.8	V
入力電圧Hレベル	V _{IH}	*2	3.5			V
入力電圧Lレベル	V _{IL}	*2			1.0	V
入力リーク電流	I _{LI}	V _I =0~5V, *1	-10		10	μA
プルアップ抵抗	R _U	*2	60	250	600	kΩ
入力容量	C _I	*3			10	pF
電源電流	I _{DD}				10	mA

*1: /ICを除く全ての入力端子に適用。

*2: /IC端子に適用。

*3: 全ての入力端子に適用。

4. アナログ特性 (条件: Ta=0~70°C, V_{DD}=5.0±0.25V)

項目	記号	条件	最小	標準	最大	単位
アナログ最大出力振幅	V _{OA}	*1	1.50	1.70	1.90	V

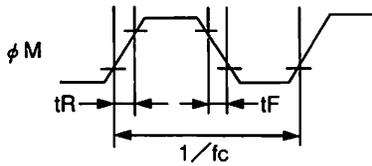
*1: S0端子に適用。最大音量、R_L=1kΩ、peak to peak。

5. 交流特性 (条件: $T_a = 0 \sim 70^\circ\text{C}$, $V_{DD} = 5.0 \pm 0.25\text{V}$)

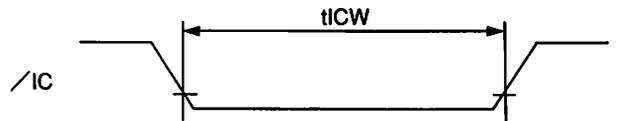
項目	記号	最小	標準	最大	単位
マスタークロック周波数	fc	1		4	MHz
マスタークロックデューティ	D	40		60	%
マスタークロック立ち上がり時間	t _R			20	ns
マスタークロック立ち下がり時間	t _F			20	ns
リセットパルス幅	t _{ICW}	5			μs
アドレスセットアップ時間	t _{AS}	20			ns
アドレスホールド時間	t _{AH}	10			ns
チップセレクトライト幅	t _{CSW}	30			ns
ライトパルスセットアップ時間	t _{WS}	0			ns
ライトパルスホールド時間	t _{WH}	0			ns
ライトデータセットアップ時間 (アドレス)	t _{WDSA}	10			ns
ライトデータセットアップ時間 (データ)	t _{WDSD}	10			ns
ライトデータホールド時間 (アドレス)	t _{WDHA}	10			ns
ライトデータホールド時間 (データ)	t _{WDHD}	10			ns

6. タイミング図

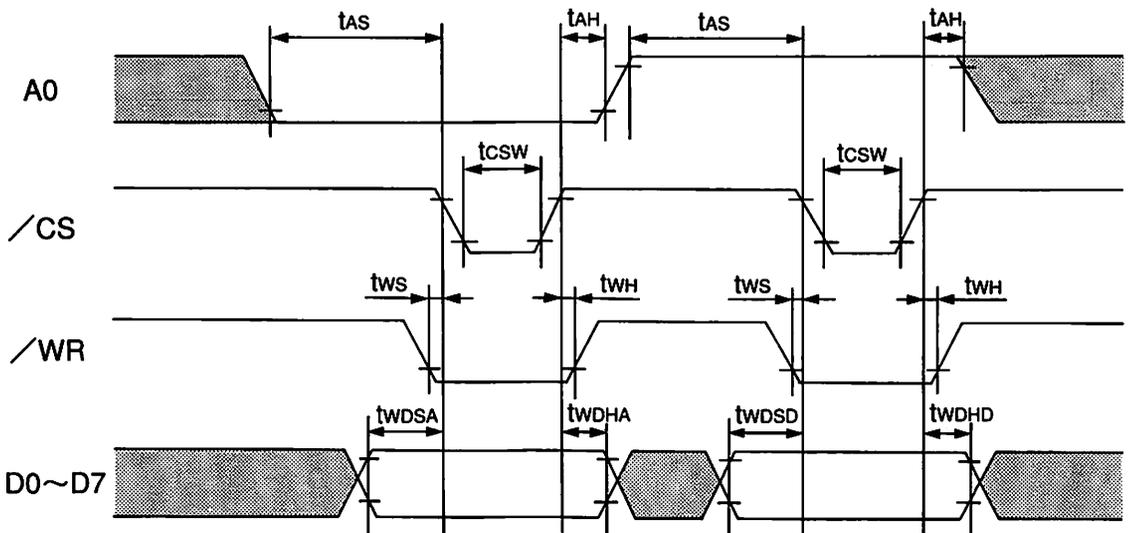
(1) マスタークロックタイミング



(2) リセットタイミング

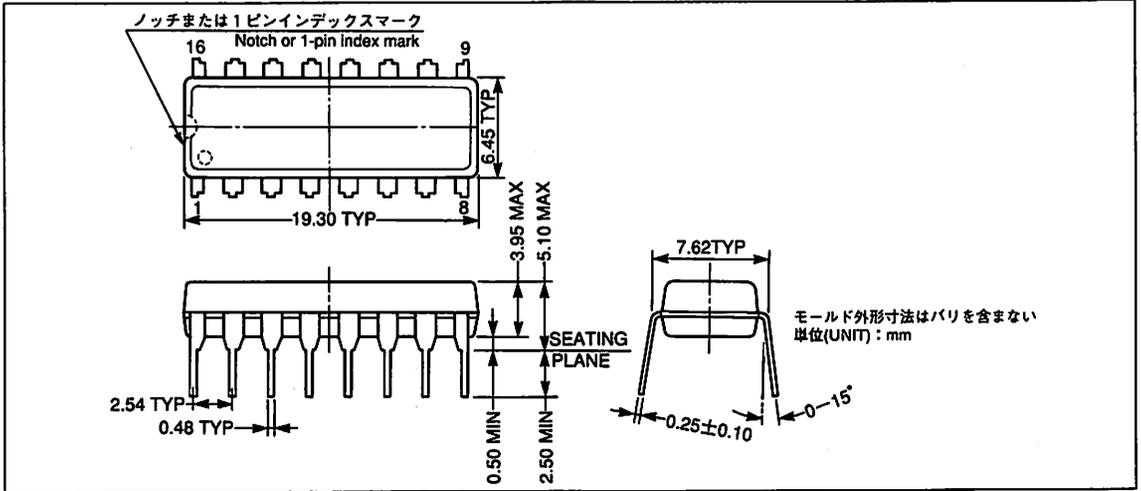


(3) CPUインターフェイスタイミング



■パッケージ外形図

●YMZ284-D



●YMZ284-M

