

YMF271

(OPX) FM and PCM Sound Generator

■ 概要

YMF271(OPX)は、ゲーム機器やコンピュータ機器用の音源LSIです。本LSIは音源方式としてFM方式およびPCM方式を採用しています。また、同時発音数は最大30音であり、各スロット毎にLFOの設定をすることができますので多くのメロディ音、リズム音に加え各種効果音を高品位に発生することができます。一方、音声出力は4スピーカーシステムに対応し、エフェクタLSI(YSS225)とのインターフェースも内蔵していますので、高性能機器に使用するための拡張性も備えています。

■ 特徴

〈FM部〉

- ・オペレータモードは2オペレータ、3オペレータ、4オペレータの中から自由を選択。
- ・アルゴリズムは全28種類(4オペレータ:16、3オペレータ:8、2オペレータ:4種類)。
- ・FM演算用に内蔵の7種類の波形データに加え、外部メモリのPCM波形データも使用可能。

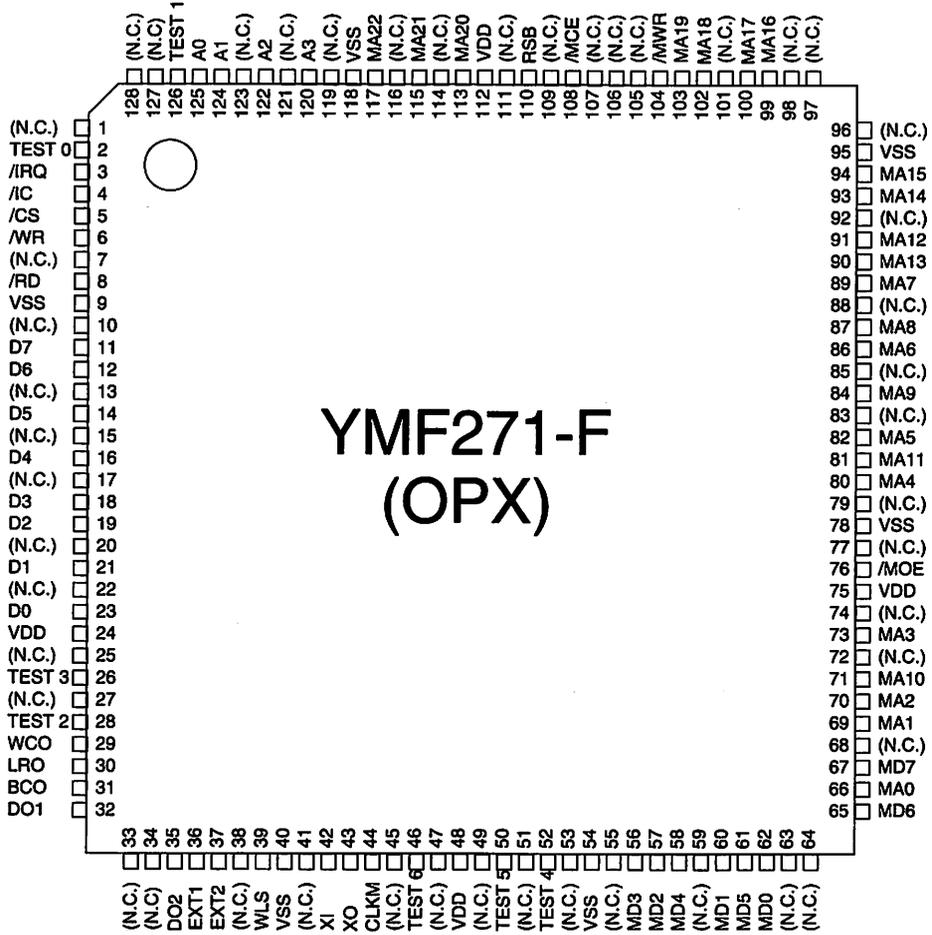
〈PCM部〉

- ・最大12音まで同時発音可能。
- ・波形データ用の外部メモリとしてROM、SRAMが使用可能。
- ・外部メモリのアドレス空間は最大8Mバイトで、連続アクセス可能。
- ・波形データのフォーマットは、8ビットまたは12ビットリニア。
- ・ループ機能とオルタネートループ機能により外部メモリの節約が可能。

〈その他〉

- ・スロット数48。
- ・LFOを内蔵し各スロット毎に波形、周波数、周波数変調、振幅変調の設定が可能。
- ・同時発音数の例
 - 4オペレータFM音+PCM音時:21音
 - 2オペレータFM音+PCM音時:30音
- ・音声出力
 - サンプリング周波数は44.1kHz(マスタークロック16.9344MHz使用時)。
 - 4チャンネルの出力を持ち、各音毎にパンの設定が可能。
 - エフェクタLSI(YSS225)とは、8チャンネルのインターフェースが可能。
 - 16もしくは18ビットの2'sコンプリメントMSBファースト出力。
- ・128ピンQFP(YMF271-F)。

■ 端子配置图



■ 端子説明

No.	端子名	I/O	機能	
1	(N.C.)		*	
2	TEST0	I+	LSIテスト用端子0	
3	/IRQ	OD	割り込み信号出力	
4	/IC	I+	イニシャルクリア信号入力	
5	/CS	I+	CPUインターフェース	チップセレクト信号入力
6	/WR	I	CPUインターフェース	ライトイネーブル信号入力
7	(N.C.)		*	
8	/RD	I	CPUインターフェース	リードイネーブル信号入力
9	VSS	-	グラウンド	
10	(N.C.)		*	
11	D7	I/O	CPUインターフェース	データバス (D7)
12	D6	I/O	CPUインターフェース	データバス (D6)
13	(N.C.)		*	
14	D5	I/O	CPUインターフェース	データバス (D5)
15	(N.C.)		*	
16	D4	I/O	CPUインターフェース	データバス (D4)
17	(N.C.)		*	
18	D3	I/O	CPUインターフェース	データバス (D3)
19	D2	I/O	CPUインターフェース	データバス (D2)
20	(N.C.)		*	
21	D1	I/O	CPUインターフェース	データバス (D1)
22	(N.C.)		*	
23	D0	I/O	CPUインターフェース	データバス (D0)
24	VDD	-	+5V電源	
25	(N.C.)		*	
26	TEST3	I+	LSIテスト用端子3	
27	(N.C.)		*	
28	TEST2	I+	LSIテスト用端子2	
29	WCO	O	DACインターフェース	ワードクロック出力
30	LRO	O	DACインターフェース	L/Rクロック出力
31	BCO	O	DACインターフェース	ビットクロック出力
32	DO1	O	DACインターフェース	0, 1チャンネルシリアルデータ出力
33	(N.C.)		*	
34	(N.C.)		*	
35	DO2	O	DACインターフェース	2, 3チャンネルシリアルデータ出力
36	EXT1	O	DACインターフェース	4, 5チャンネルシリアルデータ出力
37	EXT2	O	DACインターフェース	6, 7チャンネルシリアルデータ出力
38	(N.C.)		*	
39	WLS	I+	音声出力フォーマット 16ビット/18ビット切り換え (H:16ビット, L:18ビット)	
40	VSS	-	グラウンド	
41	(N.C.)		*	
42	XI	I	水晶発振子接続端子または外部クロック入力端子 (16.9344MHz)	
43	XO	O	水晶発振子接続端子	
44	CLKM	O	マスタークロック出力	(16.9344MHz)
45	(N.C.)		*	

No.	端子名	I/O	機能	
46	TEST6	I+	LSIテスト用端子6	
47	(N.C.)		*	
48	VDD	-	+5V電源	
49	(N.C.)		*	
50	TEST5	I+	LSIテスト用端子5	
51	(N.C.)		*	
52	TEST4	I+	LSIテスト用端子4	
53	(N.C.)		*	
54	VSS	-	グラウンド	
55	(N.C.)		*	
56	MD3	I/O	外部メモリインターフェース	データバス (MD3)
57	MD2	I/O	外部メモリインターフェース	データバス (MD2)
58	MD4	I/O	外部メモリインターフェース	データバス (MD4)
59	(N.C.)		*	
60	MD1	I/O	外部メモリインターフェース	データバス (MD1)
61	MD5	I/O	外部メモリインターフェース	データバス (MD5)
62	MD0	I/O	外部メモリインターフェース	データバス (MD0)
63	(N.C.)		*	
64	(N.C.)		*	
65	MD6	I/O	外部メモリインターフェース	データバス (MD6)
66	MA0	O	外部メモリインターフェース	アドレスバス (MA0)
67	MD7	I/O	外部メモリインターフェース	データバス (MD7)
68	(N.C.)		*	
69	MA1	O	外部メモリインターフェース	アドレスバス (MA1)
70	MA2	O	外部メモリインターフェース	アドレスバス (MA2)
71	MA10	O	外部メモリインターフェース	アドレスバス (MA10)
72	(N.C.)		*	
73	MA3	O	外部メモリインターフェース	アドレスバス (MA3)
74	(N.C.)		*	
75	VDD	-	+5V電源	
76	/MOE	O	外部メモリインターフェース	アウトプットイネーブル信号出力
77	(N.C.)		*	
78	VSS	-	グラウンド	
79	(N.C.)		*	
80	MA4	O	外部メモリインターフェース	アドレスバス (MA4)
81	MA11	O	外部メモリインターフェース	アドレスバス (MA11)
82	MA5	O	外部メモリインターフェース	アドレスバス (MA5)
83	(N.C.)		*	
84	MA9	O	外部メモリインターフェース	アドレスバス (MA9)
85	(N.C.)		*	
86	MA6	O	外部メモリインターフェース	アドレスバス (MA6)
87	MA8	O	外部メモリインターフェース	アドレスバス (MA8)
88	(N.C.)		*	
89	MA7	O	外部メモリインターフェース	アドレスバス (MA7)
90	MA13	O	外部メモリインターフェース	アドレスバス (MA13)

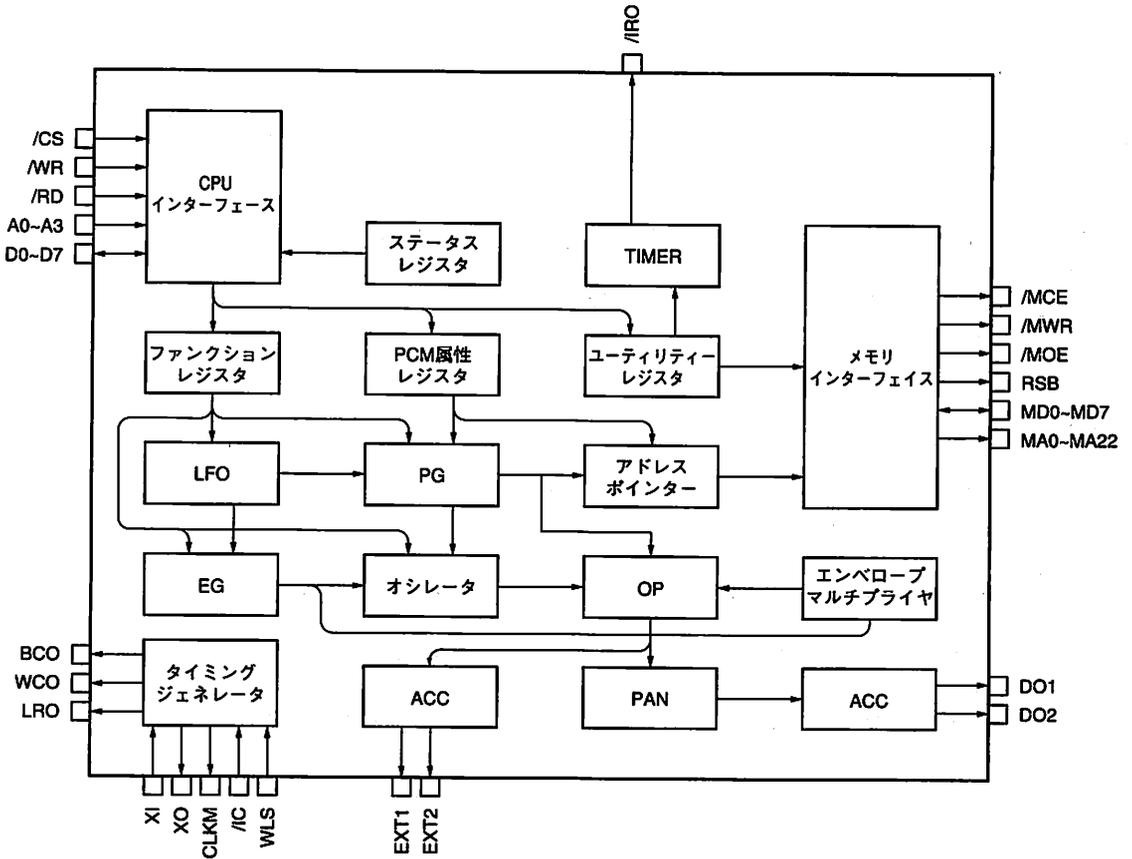
No.	端子名	I/O	機能	
91	MA12	O	外部メモリアンターフェース	アドレスバス(MA12)
92	(N.C.)		*	
93	MA14	O	外部メモリアンターフェース	アドレスバス(MA14)
94	MA15	O	外部メモリアンターフェース	アドレスバス(MA15)
95	VSS	-	グランド	
96	(N.C.)		*	
97	(N.C.)		*	
98	(N.C.)		*	
99	MA16	O	外部メモリアンターフェース	アドレスバス(MA16)
100	MA17	O	外部メモリアンターフェース	アドレスバス(MA17)
101	(N.C.)		*	
102	MA18	O	外部メモリアンターフェース	アドレスバス(MA18)
103	MA19	O	外部メモリアンターフェース	アドレスバス(MA19)
104	/MWR	O	外部メモリアンターフェース	ライトイネーブル信号出力
105	(N.C.)		*	
106	(N.C.)		*	
107	(N.C.)		*	
108	/MCE	O	外部メモリアンターフェース	チップイネーブル信号出力
109	(N.C.)		*	
110	RSB	O	外部ウェーブデータ・アクセス可能サイクル信号出力	
111	(N.C.)		*	
112	VDD	-	+5V電源	
113	MA20	O	外部メモリアンターフェース	アドレスバス(MA20)
114	(N.C.)		*	
115	MA21	O	外部メモリアンターフェース	アドレスバス(MA21)
116	(N.C.)		*	
117	MA22	O	外部メモリアンターフェース	アドレスバス(MA22)
118	VSS	-	グランド	
119	(N.C.)		*	
120	A3	I	CPUインターフェース	アドレス選択信号入力3
121	(N.C.)		*	
122	A2	I	CPUインターフェース	アドレス選択信号入力2
123	(N.C.)		*	
124	A1	I	CPUインターフェース	アドレス選択信号入力1
125	A0	I	CPUインターフェース	アドレス選択信号入力0
126	TEST1	I+	LSIテスト用端子1	
127	(N.C.)		*	
128	(N.C.)		*	

注) (N.C.), TEST0~6: この端子は通常無接続でご使用下さい。

I+: プルアップ抵抗内蔵端子

OD: オープンドレイン出力端子

■ ブロック図



■ 機能説明

1. CPUインターフェース

YMF271は、内部レジスタにデータを設定することにより動作します。このレジスタはバンク構造になっており、書き込み専用レジスタとして6バンク(ファンクションレジスタ×4、PCM属性レジスタ×1、ユーティリティレジスタ×1)、読み出し専用のステータスレジスタとして2バンクをもっています。バンクの切り換えはA0～A3のアドレス選択端子で行います。

レジスタへのデータ設定の順序は、まずアドレスの指定を行い、次にデータを書き込みます。(必ずアドレスライト、データライトの順)。同じアドレスをアクセスする場合は再度アドレスを指定することなく連続してデータを書き込むことができます。なお、アドレスライト、データライト後に次の動作に移るまでには各々以下のウェイト時間が必要になります。

モード選択

/CS	/WR	/RD	A3	A2	A1	A0	内容		
L	L	H	L	L	L	L	アドレス・ライト (ファンクションレジスタ1:バンク1)		
						H	データ・ライト ()		
			L	L	H	L	H	L	アドレス・ライト (ファンクションレジスタ2:バンク2)
								H	データ・ライト ()
			L	H	L	L	H	L	アドレス・ライト (ファンクションレジスタ3:バンク3)
								H	データ・ライト ()
			L	H	H	L	H	L	アドレス・ライト (ファンクションレジスタ4:バンク4)
								H	データ・ライト ()
			H	L	L	L	L	L	アドレス・ライト (PCM属性レジスタ:バンク5)
								H	データ・ライト ()
			H	H	L	L	L	L	アドレス・ライト (ユーティリティレジスタ:バンク6)
								H	データ・ライト ()
L	H	L	L	L	L	L	ステータス・リード (ステータス0)		
						L	ステータス・リード (ステータス1)		
						L	ウェーブメモリデータ・リード		
L	L	L	x	x	x	x	D0～D7はハイインピーダンス状態になります。		
L	L	H	H	x	H	x			
L	H	L	x	x	H	H			
L	H	L	x	H	x	x			
L	H	L	H	x	x	x			
L	H	H	x	x	x	x			
H	x	x	x	x	x	x			

x:Don't care

ウェイト時間

条件	待ちサイクル数*
アドレスライト後	9サイクル
データライト後	49サイクル

*:待ちサイクル数はマスタークロックでのサイクル数。

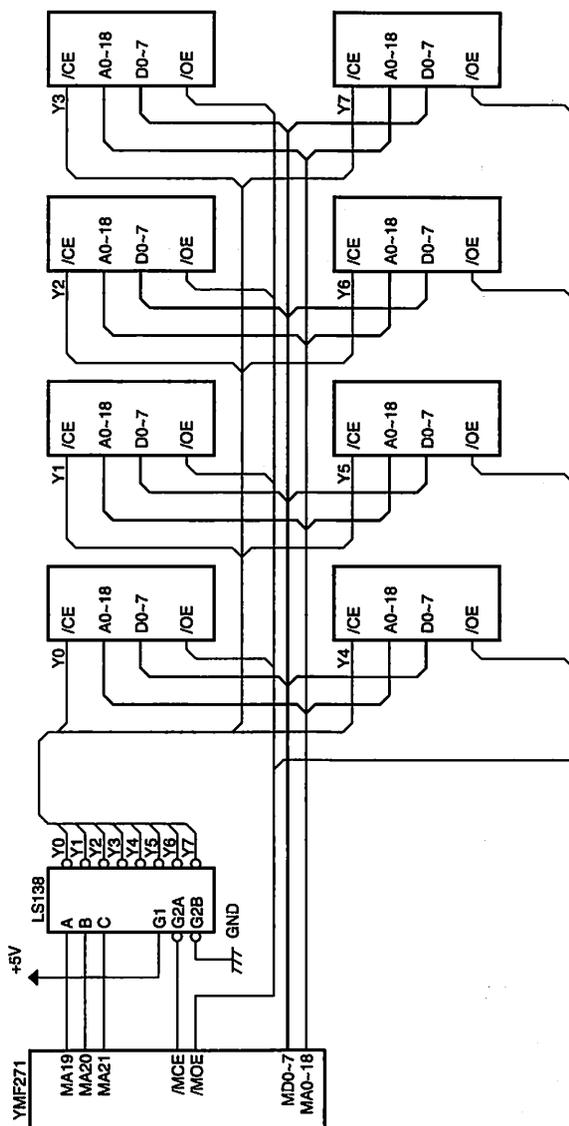
2. メモリインターフェース

外部メモリとして、SRAMおよびROMを使用することが可能です。これらの組み合わせは自由で、最大8Mバイトのメモリー空間を所有することができます。また、メモリの使用個数により出力端子にはAS244等のバッファを適宜用いて下さい。

使用するROM, RAMのアクセス時間は、それぞれ150ns, 120ns以内のものに限られます。ただし、メモリの使用個数によってはアクセス時間の短いものを用いなければならない場合があります。また、×8ビット構成でないメモリは使用できません。

外部メモリを使用しない場合は、端子MD0～MD7には、Lowレベルを入力して下さい。

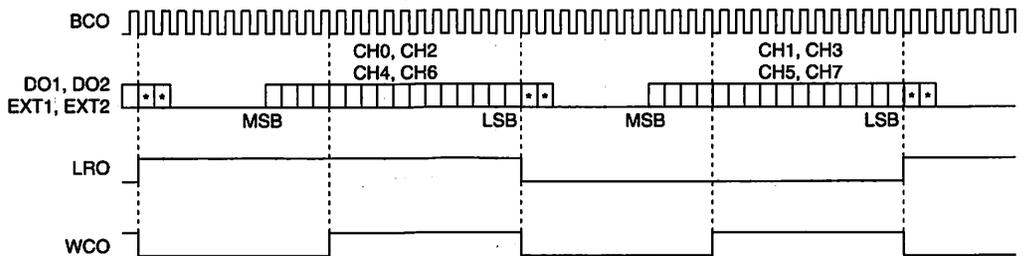
以下に4MビットのROMを8個使用した場合の回路例(メモリー空間4Mバイト)を示します。



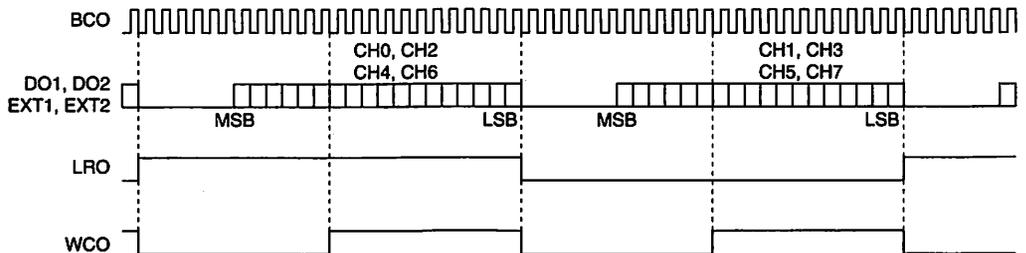
3. DACインターフェース

発音された音声信号はデジタルデータで、DO1,DO2,EXT1,EXT2の各端子からMSBファーストシリアルに出力されます。このデジタルデータはWLS端子で、16ビットもしくは18ビットを切り換えることができます(WLS='H'のとき16ビット)。また、サンプリング周波数は44.1kHz(マスタークロック入力:16.9344MHz時)です。

<フォーム1> WLS='H'のとき



<フォーム2> WLS='L'のとき

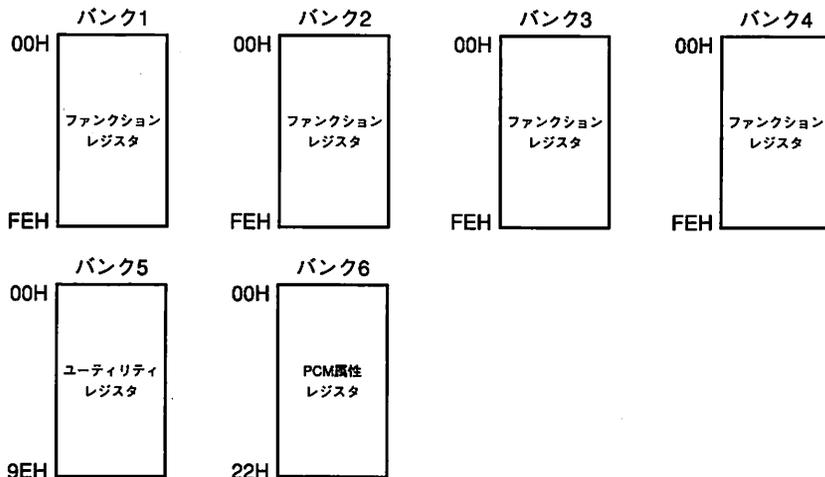


4. レジスタ構成

YMF271は、発音制御、タイマー制御等を行うための書き込み専用のレジスタとして6バンク、また読み出し専用レジスタとしてステータスレジスタを2バンク、及びウェーブデータ読み出しレジスタを用意しています。

レジスタは以下のバンク構成になっています。

1. 書き込み専用レジスタ



2. 読み出し専用レジスタ



レジスタ	機能
バンク1 バンク2 バンク3 バンク4	FM各種パラメータの設定
バンク5	PCM波形データ等の設定 (スタート、エンド、ループの各アドレスの設定等)
バンク6	タイマー、同期モード等の設定
ステータス1	タイマーフラグ、エンドアドレス通過フラグ
ステータス2	エンドアドレス通過フラグ
ウェーブデータ	ウェーブデータの読み出し用

5. スロットとグループについて

YMF271は、48個のスロットから構成されており下記のように4個のスロットで1組のグループを構成しています。各スロットおよびグループにはナンバーがつけられており、スロットナンバーは1サンプリング期間にFM演算を行う順番を表します。ここでいうスロットとは従来のFM音源でいうオペレータに相当します。グループナンバーとスロットナンバーの関係は以下のようになっています。

グループ No.	スロットナンバー			
	バンク1	バンク2	バンク3	バンク4
0	0	12	24	36
1	1	13	25	37
2	2	14	26	38
3	3	15	27	39
4	4	16	28	40
5	5	17	29	41
6	6	18	30	42
7	7	19	31	43
8	8	20	32	44
9	9	21	33	45
10	10	22	34	46
11	11	23	35	47

各グループ毎に以下の4つの同期モードから1つを選択します。この設定はユーティリティレジスタのSyncビットで行います。

Sync	同期モード
0	① 4スロットモード (FM方式4オペレータモード)
1	② 2スロット×2モード (FM方式2オペレータモード)
2	③ 3スロット (FM方式3オペレータモード) + 1スロットモード
3	④ 1スロットモード

各グループをどの同期モードで使用するかで最大発音数が決まります。グループ0, 4, 8において同期モードを③もしくは④に設定すれば1スロットモードの1スロットあたり1音のPCM音源となります。また、グループ0, 4, 8において同期モードを④以外に設定すれば外部メモリのPCM波形をFM演算用の波形として利用することができます。

- 《例1》 全てのグループを4オペレータモードで使用する場合
各グループの同期モードを①に設定します。
最大発音数は 12音になります。
- 《例2》 全てのグループを2オペレータモードで使用する場合
各グループの同期モードを②に設定します。
最大発音数は 24音になります。
- 《例3》 PCM音最大限発音させたい場合
グループ0,4,8の同期モードを④に設定し、それ以外のグループを①あるいは②に設定します。
最大発音数は 21音(グループ0,4,8以外は全て①を設定)
30音(グループ0,4,8以外は全て②を設定)になります。

上記以外にも設定は可能で、組み合わせは自由に選択できます。

6. PCM音の発音について

YMF271では、PCMを1音発音するのに1スロット使用しており、通常のFM方式と同様にF-NUMBERとBLOCKにより発音周波数を変えることができます。同期モードの設定により同時に最大12音まで発音することができます。PCM音の波形データは8ビットまたは12ビットの2'sコンプリメントフォーマットです。

また、ループ機能とエンベロープ機能をもっておりますので、外部メモリにストアされた図1の波形データから実際の発音波形(図2)を発生することができ、外部メモリの節約が可能です。

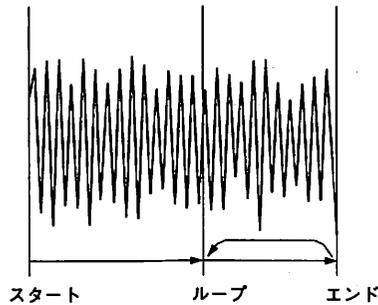


図1:外部メモリに記憶された波形データ

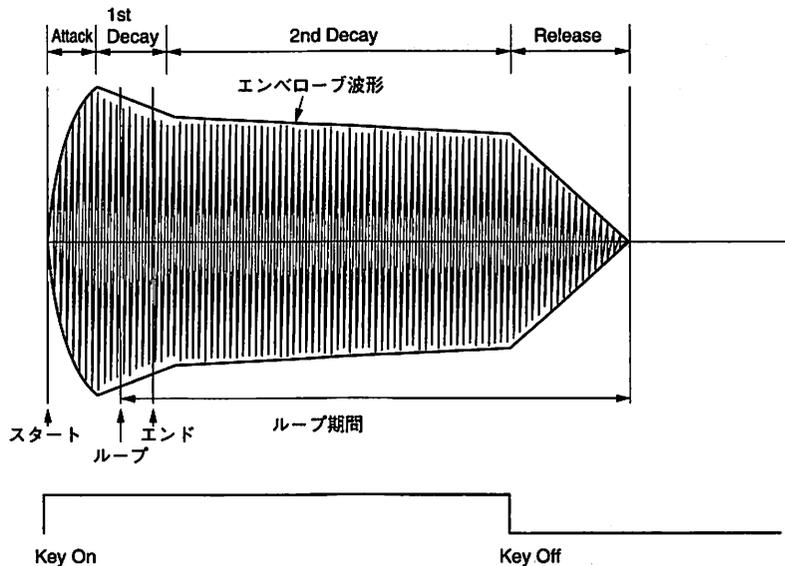


図2:実際の発音波形

■ 電気的特性

1. 絶対最大定格 (電圧は $V_{SS}=0$ [V] 基準)

項目	記号	定格値		単位
		最小	最大	
電源電圧	V_{DD}	$V_{SS}-0.5$	$V_{SS}+7.0$	V
入力電圧	V_I	$V_{SS}-0.5$	$V_{DD}+0.5$	V
出力電圧	V_O	$V_{SS}-0.5$	$V_{DD}+0.5$	V
動作周囲温度	T_{OP}	0	70	°C
保存温度	T_{STG}	-50	+125	°C

2. 推奨動作条件 (電圧は $V_{SS}=0$ [V] 基準)

項目	記号	推奨値			単位
		最小	標準	最大	
電源電圧	V_{DD}	4.75	5.0	5.25	V
動作周囲温度	T_{OP}	0	25	70	°C
入力電圧 Lレベル*	V_{IL}	-0.3		0.8	V
入力電圧 Hレベル*	V_{IH}	2.2		V_{DD}	V

注) *:マスタークロック入力(XI)を除く。

3. 推奨動作条件下での諸特性

3-1 直流特性 (電圧は $V_{SS}=0$ [V] 基準)

項目	記号	条件	最小	標準	最大	単位
入力リーク電流	I_{LU}	$V_I=0\sim 5[V]$	-10		10	μA
出力リーク電流	I_{LO}	$V_I=0\sim 5[V]$	-25		25	μA
出力電圧 Hレベル	V_{OH}	$I_{OH}=-100[\mu A]$	4.0 2.4			V
出力電圧 Lレベル	V_{OL}	$I_{OL}=2.0[mA]$			0.4 0.45	V
電源電流	I_{DD}				50	mA
プル・アップ抵抗	R_U		60	250	600	k Ω

注) *1: BCO, WCO, LRO, DO1, DO2, EXT1, EXT2。

*2: /IRQ, BCO, WCO, LRO, DO1, DO2, EXT1, EXT2を除く全入出力、出力端子。

*3: /MOE, /MCE, /MWR, RSBを除く全入出力、出力端子。

*4: /MOE, /MCE, /MWR, RSB。

3-2 入力クロック特性(電圧は $V_{SS}=0$ [V] 基準)

項目	記号	条件	規格			単位
			最小	標準	最大	
マスター・クロック周波数	f _{MCLK}	Fig.1	14.3	16.9344		MHz
マスター・クロック周期	t _c	Fig.1		59.1	69.9	ns
入力クロック立ち上がり時間	t _{rc}	Fig.1			35	ns
入力クロック立ち下がり時間	t _{fc}	Fig.1			35	ns
入力クロック・デューティ	D _{MCLK}		40	50	60	%
入力クロック電圧Lレベル	V _{ILC}	Fig.1	-0.3		1.5	V
入力クロック電圧Hレベル	V _{IHC}	Fig.1	3.5		V _{DD}	V

$$\text{入力クロック・デューティ} = t_{rc} \cdot f_{MCLK} \times 100$$

3-3 出力クロック特性

項目	記号	条件	規格			単位
			最小	標準	最大	
出力クロック周波数	f _{CLKO}	Fig.1		f _{MCLK}		MHz
出力クロック周期	t _{co}	Fig.1		t _c		ns
出力クロック立ち上がり時間	t _{rco}	Fig.1			30	ns
出力クロック立ち下がり時間	t _{fco}	Fig.1			30	ns
出力遅延時間	t _{dc}	Fig.1			50	ns

注) 測定条件: 端子CLKMの出力負荷容量C_{LD}=10 [pF]

入力レベルV_{ILC}/V_{IHC} = 1.5/3.5 [V]

出力判定レベルV_{OL}/V_{OH} = 0.8/3.5 [V]

3-4 端子容量

項目	記号	規格			単位
		最小	標準	最大	
端子容量	C _T			12	pF

3-5 CPUインターフェース・タイミング

項目	記号	条件	最小	標準	最大	単位
アドレス・セットアップ時間	t _{AS}	Fig.2	10			ns
アドレス・ホールド時間	t _{AH}	Fig.2	10			ns
チップセレクト・ライト幅	t _{CSW}	Fig.2	100			ns
ライト・パルス幅	t _{WW}	Fig.2	100			ns
ライト・データ・セットアップ時間	t _{WDS}	Fig.2	20			ns
ライト・データ・ホールド時間	t _{WDH}	Fig.2	10			ns
ライト・コマンド・セットアップ時間	t _{WCS}	Fig.2	10			ns
ライト・コマンド・ホールド時間	t _{WCH}	Fig.2	10			ns
チップセレクト・リード幅	t _{CSR}	Fig.3	100			ns
リード・パルス幅	t _{RW}	Fig.3	100			ns
リード・コマンド・セットアップ時間	t _{RCS}	Fig.3	10			ns
リード・コマンド・ホールド時間	t _{RCH}	Fig.3	10			ns
リード・データ・アクセス時間	t _{ACC}	Fig.3	30			ns
リード・データ・ホールド時間	t _{RDH}	Fig.3			25	ns
ライト後ウェイト時間	t _{WAW}	Fig.4 ^{*1}	t _c			ns
		Fig.4 ^{*2}	49t _c			
		Fig.5 ^{*3}	9t _c			
		Fig.5 ^{*4}	49t _c			
リード後ウェイト時間	t _{RAR}	Fig.6 ^{*5}	t _c			ns
		Fig.6 ^{*6}	49t _c			

注) 測定条件: 端子D0~D7の出力負荷容量C_{LD}=50 [pF]

入力レベルV_{IL}/V_{IH} = 0.4/2.6 [V]

出力判定レベルV_{OL}/V_{OH} = 0.8/2.2 [V]

*1: レジスタ・アドレス・ライトおよびデータ・ライト - ステータス・リード間

*2: EXT Memory Dataレジスタ・データ・ライト - データ・リード間

*3: レジスタ・アドレス・ライト後

*4: レジスタ・データ・ライト後

*5: ステータス・リード - ステータス・リードまたは、データ・リード - ステータス・リード間

*6: データ・リード - データ・リード間

3-6 ウェーブ・メモリ・インターフェース・タイミング

注) 測定条件: 端子/MCE, /MOE, /MWR, RSB, MD0~MD7, MA0~MA22の
 出力負荷容量 $C_L=50[pF]$
 入力レベル $V_{IL}/V_{IH} = 0.4/2.6[V]$
 出力判定レベル $V_{OL}/V_{OH} = 0.8/2.2[V]$

3-6-1 リード・サイクル(memory→OPX)

項目	記号	条件	最小	標準	最大	単位
メモリ・リード・サイクル時間	tMRC1	Fig.7	5tc-60	5tc		ns
/MCEパルス幅	tMRCE1	Fig.7	3.5tc-60	3.5tc		ns
/MCEプリチャージ時間	tMRP1	Fig.7	1.5tc-15	1.5tc		ns
/MOEパルス幅	tMOEP1	Fig.7	3tc-60	3tc		ns
リード・コマンド・セットアップ時間	tMRCS1	Fig.7	8.5tc-60			ns
	tMRCS2		tc-30	tc		
リード・コマンド・ホールド時間	tMRCH1	Fig.7	3tc-60			ns
	tMRCH2		tc-30	tc		
メモリ・アドレス・セットアップ時間	tMAS1	Fig.7	0.5tc-20	0.5tc		ns
メモリ・アドレス・ホールド時間	tMAH1	Fig.7	4.5tc-60	4.5tc		ns
メモリ・データ・セットアップ時間	tMDS1	Fig.7	tc			ns
メモリ・データ・ホールド時間	tMDH1	Fig.7	0			ns

3-6-2 リード・サイクル(memory→CPU)

項目	記号	条件	最小	標準	最大	単位
メモリ・リード・サイクル時間	tMRC2	Fig.8	6tc-60	6tc		ns
/MCEパルス幅	tMRCE2	Fig.8	4.5tc-60	4.5tc		ns
/MCEプリチャージ時間	tMRP2	Fig.8	1.5tc-15	1.5tc		ns
/MOEパルス幅	tMOEP2	Fig.8	4tc-60	4tc		ns
リード・コマンド・セットアップ時間	tMRCS3	Fig.8	tc-30	tc		ns
リード・コマンド・ホールド時間	tMRCH3	Fig.8	tc-30	tc		ns
メモリ・アドレス・セットアップ時間	tMAS2	Fig.8	0.5tc-25	0.5tc		ns
メモリ・アドレス・ホールド時間	tMAH2	Fig.8	5.5tc-60	5.5tc		ns
メモリ・データ・セットアップ時間	tMDS2	Fig.8	tc			ns
メモリ・データ・ホールド時間	tMDH2	Fig.8	0			ns

3-6-3 ライト・サイクル

項 目	記号	条件	最小	標準	最大	単位
メモリ・ライト・サイクル時間	t _{MWC}	Fig.9	6tc-60	6tc		ns
/MCEパルス幅	t _{MWCE}	Fig.9	4.5tc-60	4.5tc		ns
/MCEプリチャージ時間	t _{MWP}	Fig.9	1.5tc-60	1.5tc		ns
/MOEセットアップ時間	t _{WOSC}	Fig.9	tc-30	tc		ns
/MOEホールド時間	t _{WOHC}	Fig.9	tc-30	tc		ns
ライト・コマンド・ホールド時間	t _{MWCH}	Fig.9	3.5tc-60	3.5tc		ns
ライト・コマンド・リード時間	t _{MWCL}	Fig.9	3tc-60	3tc		ns
メモリ・ライト・パルス幅	t _{MW}	Fig.9	2tc-15	2tc		ns
メモリ・アドレス・セットアップ時間	t _{MAS3}	Fig.9	0.5tc-25	0.5tc		ns
メモリ・アドレス・ホールド時間	t _{WAH}	Fig.9	5.5tc-60	5.5tc		ns
メモリ・データ・セットアップ時間	t _{WDSW}	Fig.9	3tc-60	3tc		ns
	t _{WDSC}	Fig.9	4tc-60	4tc		ns
メモリ・データ・ホールド時間	t _{WDHW}	Fig.9	2tc-60	2tc		ns
	t _{WDHC}	Fig.9	0	tc		ns

3-6-4 スタンバイ・サイクル

項 目	記号	条件	最小	標準	最大	単位
/MCEセットアップ時間	t _{MCES}	Fig.10	tc-30			ns
/MCEホールド時間	t _{MCEH}	Fig.10	1.5tc-60			ns
/MOEセットアップ時間	t _{MOES}	Fig.10	0.5tc-30			ns
/MOEホールド時間	t _{MOEH}	Fig.10	2.5tc-60			ns
/MWRセットアップ時間	t _{MWRS}	Fig.10	2tc-30			ns
/MWRホールド時間	t _{MWRH}	Fig.10	3tc-60			ns
RAMスタンバイ・パルス幅	t _{RSBC}	Fig.10	5tc-60	5tc		ns

3-7 音声データ インターフェース・タイミング

項 目	記号	条件	最小	標準	最大	単位
BCO周波数	f _{BCO}	Fig.11		f _{MCLK} /8		MHz
LRO周波数	f _{LRO}			f _{MCLK} /384		MHz
WCO周波数	f _{WCO}			f _{MCLK} /192		MHz
BCOデューティ	D _{BCO}			50		%
LROデューティ	D _{LRO}			50		%
WCOデューティ	D _{WCO}			50		%
DO・EXTセットアップ時間	t _{DES}	Fig.11	60			ns
DO・EXTホールド時間	t _{DEH}	Fig.11	10			ns
LROセットアップ時間	t _{LRS}	Fig.11	60			ns
LROホールド時間	t _{LRH}	Fig.11	10			ns
WCOセットアップ時間	t _{WCS}	Fig.11	60			ns
WCOホールド時間	t _{WCH}	Fig.11	10			ns
立ち上がり時間	t _{RD}	Fig.11			60	ns
立ち下がり時間	t _{FD}	Fig.11			60	ns

注) BCOデューティ = $(4/f_{MCLK}) / (8/f_{MCLK}) \times 100$ [%]

LROデューティ = $(192/f_{MCLK}) / (384/f_{MCLK}) \times 100$ [%]

WCOデューティ = $(96/f_{MCLK}) / (192/f_{MCLK}) \times 100$ [%]

測定条件: 端子BCO, WCO, LRO, DO1, DO2, EXT1, EXT2の

出力負荷容量C_{LDA}=50 [pF]

入力レベルV_{IL}/V_{IH} = 0.4/4.0 [V]

出力判定レベルV_{OL}/V_{OH} = 0.8/3.5 [V]

3-8 リセット・タイミング

項 目	記号	条件	最小	標準	最大	単位
リセットパルス幅	t _{RP}	Fig.12	1537t _c			ns

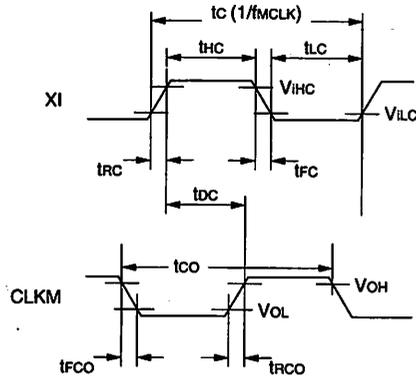
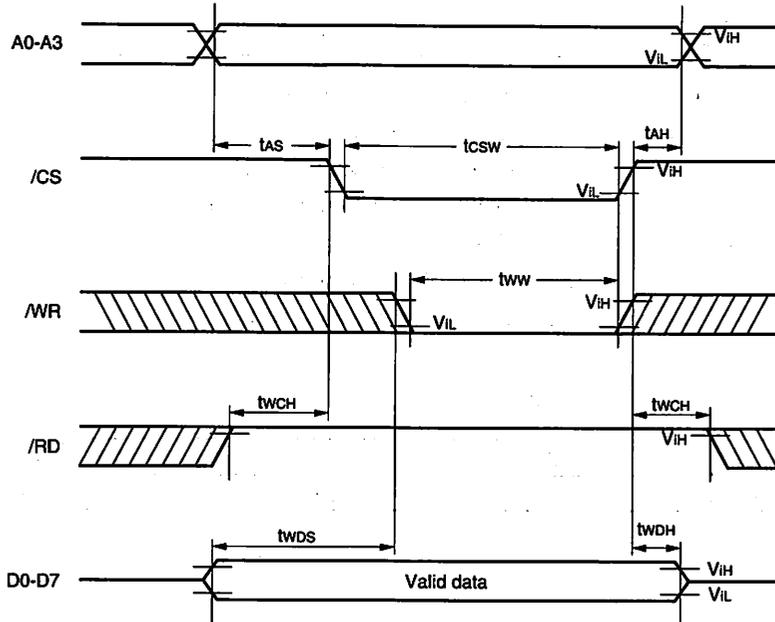
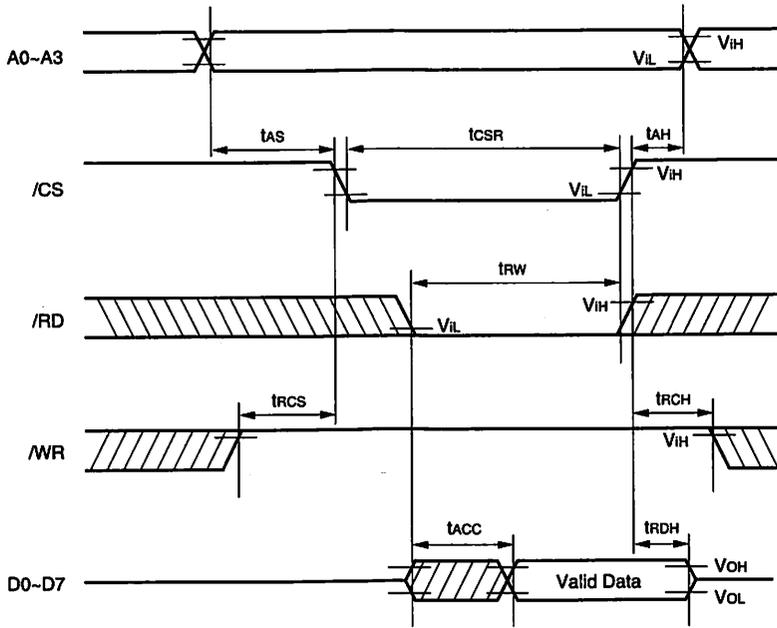


Fig.1 入力及び出カクロック・タイミング



注) twdsは、/CS、/WRのいずれかが遅くLowレベルになることを基準とする。
 tcsw, tww, twch, twdhは、/CS、/WRのいずれかが早くHighレベルになることを基準とする。

Fig.2 CPUインターフェース・タイミング1 (ライト)



注) t_{ACC} は、/CS、/RDのいずれかが遅くLowレベルになるときを基準とする。
 t_{CSR} 、 t_{RW} 、 t_{RCH} 、 t_{RDH} は、/CS、/RDのいずれかが早くHighレベルになるときを基準とする。

Fig.3 CPUインターフェース・タイミング2 (リード)

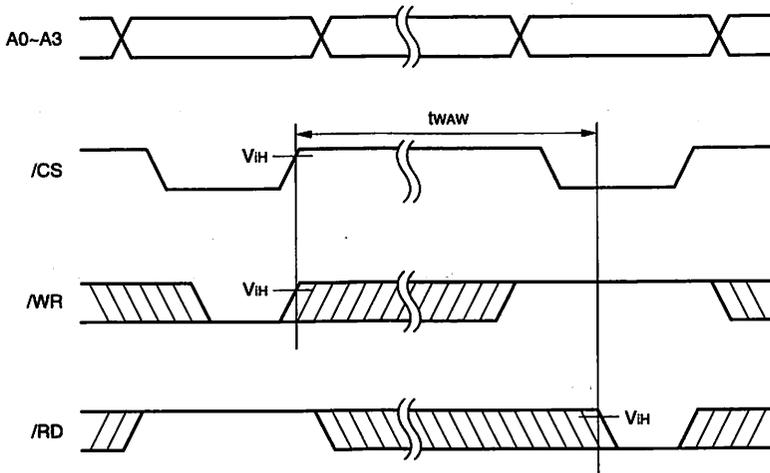


Fig.4 CPUインターフェース・タイミング3

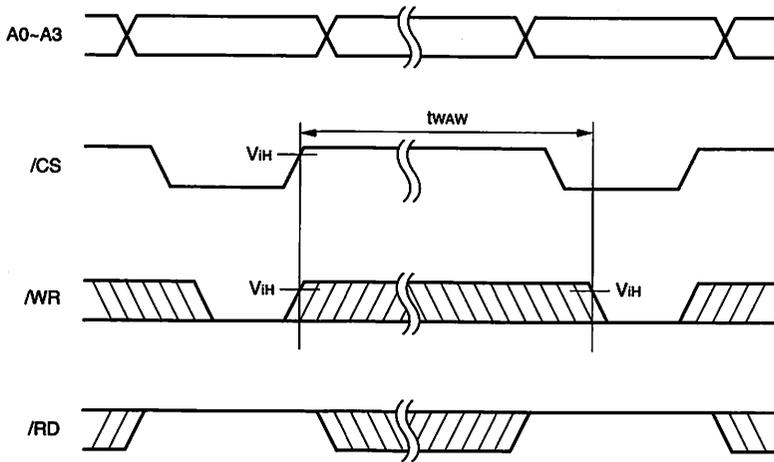


Fig.5 CPUインターフェース・タイミング4

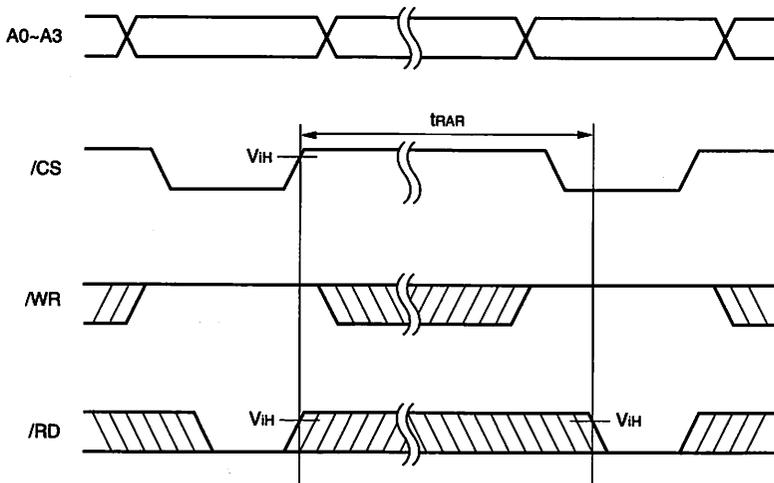


Fig.6 CPUインターフェース・タイミング5

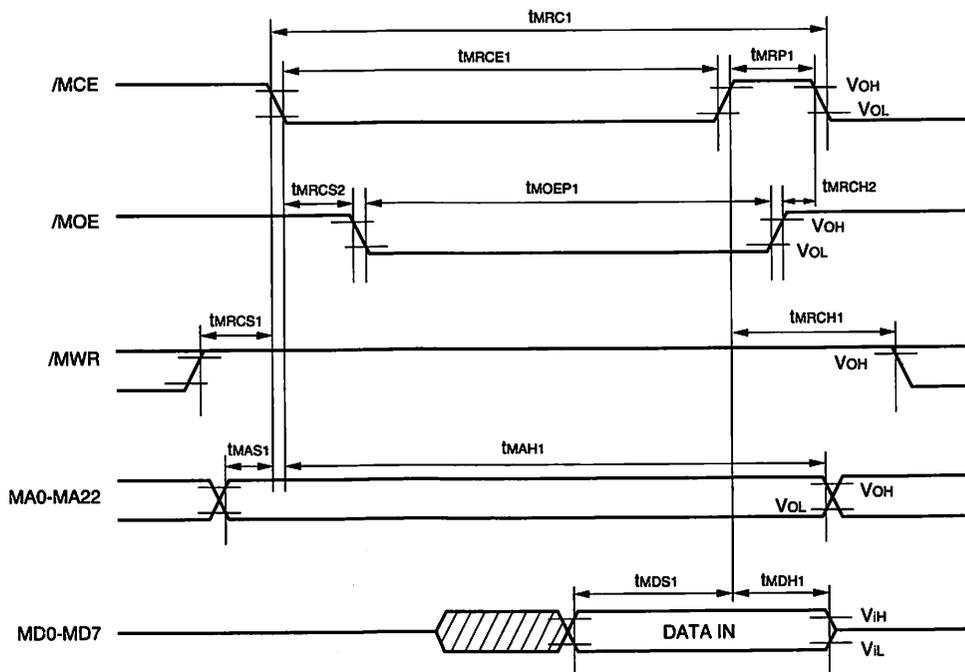


Fig.7 ウェーブ・メモリ・リード・タイミング(1) (memory→OPX)

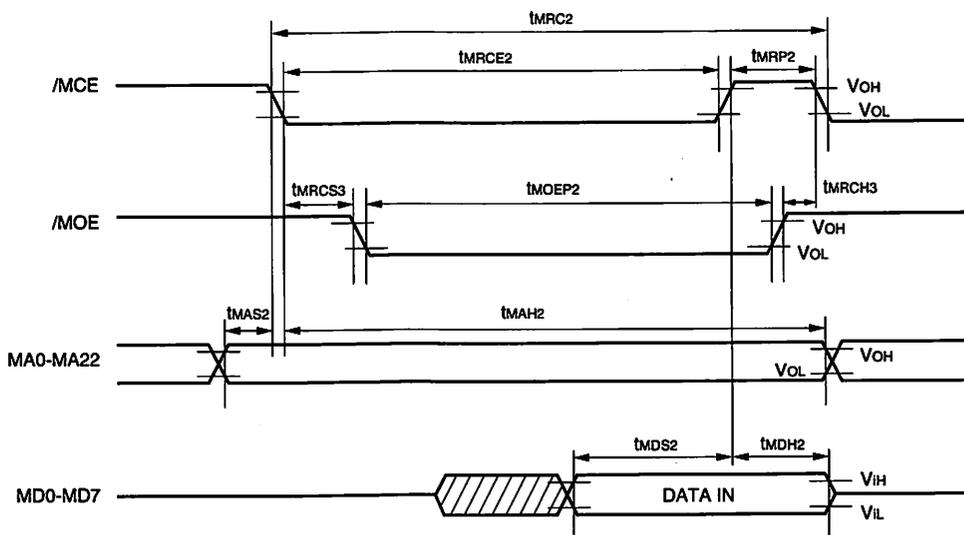


Fig.8 ウェーブ・メモリ・リード・タイミング(2) (memory→CPU)

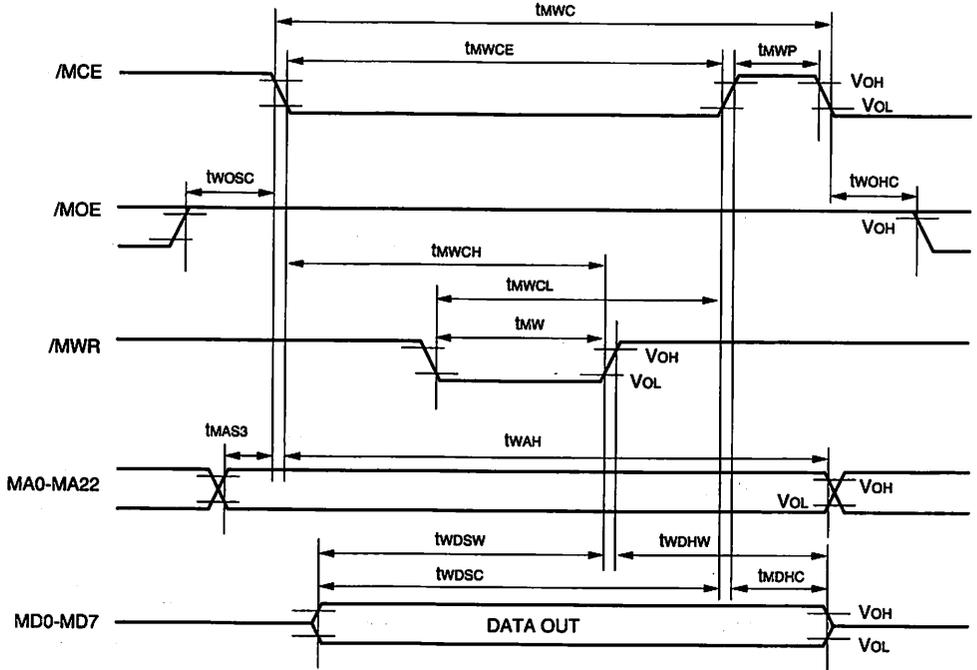
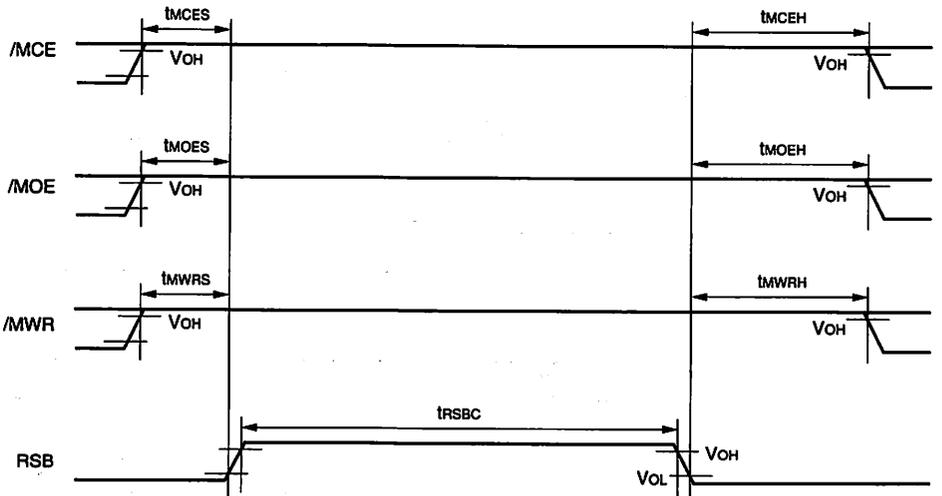


Fig.9 ウェーブ・メモリ・ライト・タイミング



MA0 – MA22 = "0"

MD0 – MD7 = High Impedance

Fig.10 ウェーブ・メモリ・スタンバイ・タイミング

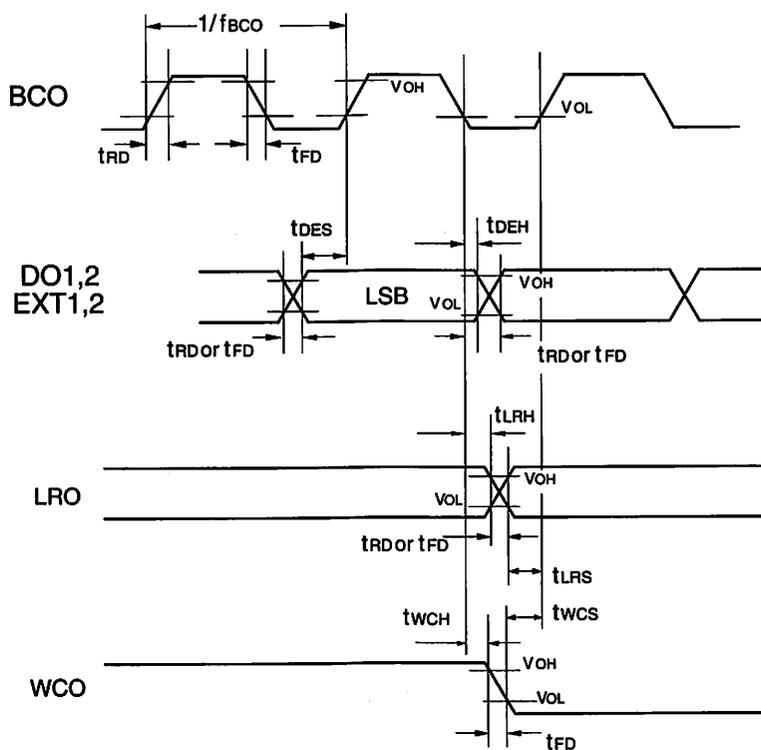


Fig.11 DACインターフェース・タイミング

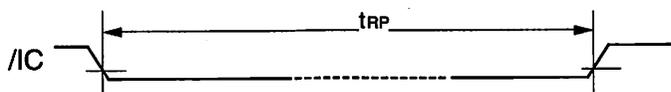
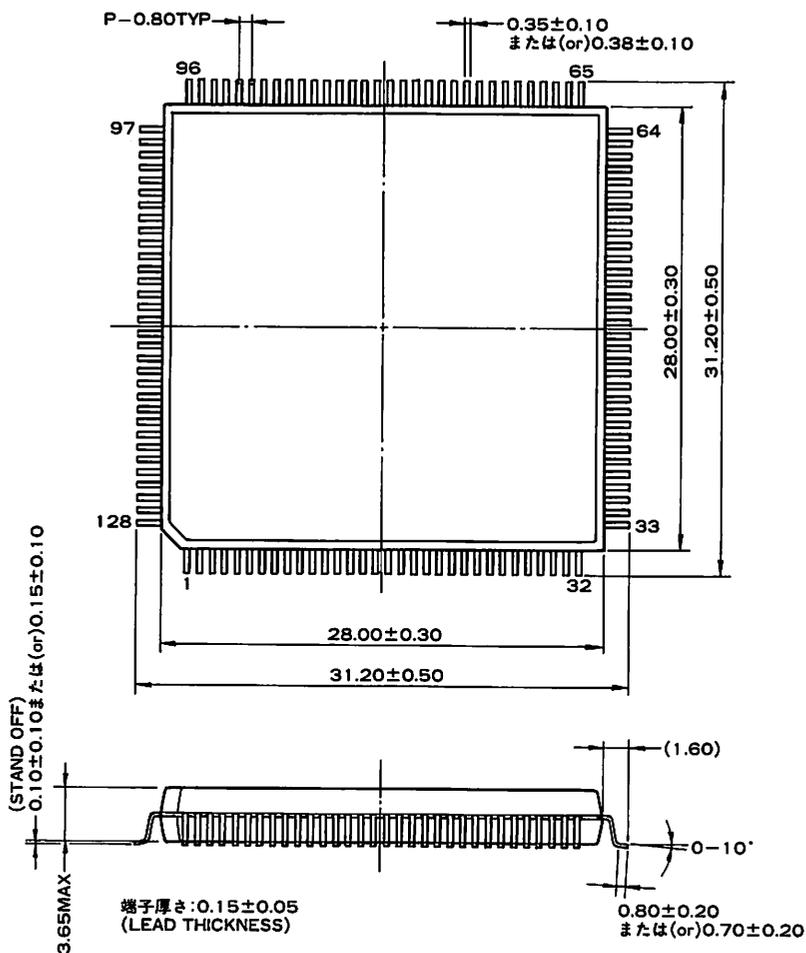


Fig.12 リセットパルス・タイミング

■ パッケージ外形図

YMF271-F



モールドコーナー形状は、この図面と若干異なるタイプのももあります
 カッコ内の寸法値は参考値とする
 モールド外形寸法はバリを含まない
 単位(UNIT):mm