

## YM3439

3-ch SSG sound generator  
(SSGC)

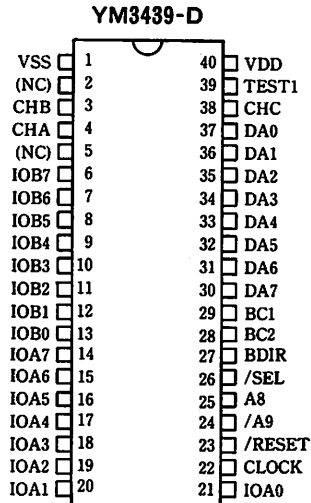
### ■ 概 要

YM3439(SSGC)はCPUのコントロールによって発音する音源LSIです。  
3系列の矩形波発生器と1系列のノイズ発生器、エンベロープ発生器を内蔵し、メロディ音、効果音等の発音が可能です。  
本LSIはYM2149(SSG)とのコンパチビリティを保ちながらCMOS化されております。

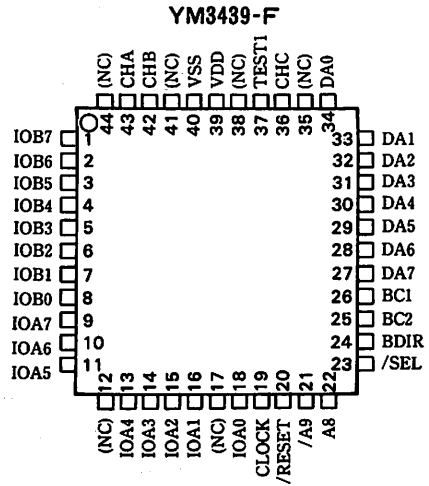
### ■ 特 徴

- CMOSプロセスにより低消費電力。
- YM2149(SSG)とレジスタ・コンパチブル。
- 3系列の矩形波発生器と1系列のノイズ発生器による音源。
- 8オクターブの広い発音域。
- 5ビットのエンベロープ発生器による滑らかな減衰感。
- 5ビットDACを3チャンネル内蔵。
- 8ビットデータバスによるCPUパラレルインターフェイス。
- 2系列の8ビットI/Oポート内蔵により外部システムとのインターフェイスが可能。
- 5V単一電源。
- 40ピンプラスチックDIP、または44ピンプラスチックQFPパッケージ。

## ■ 端子配置図

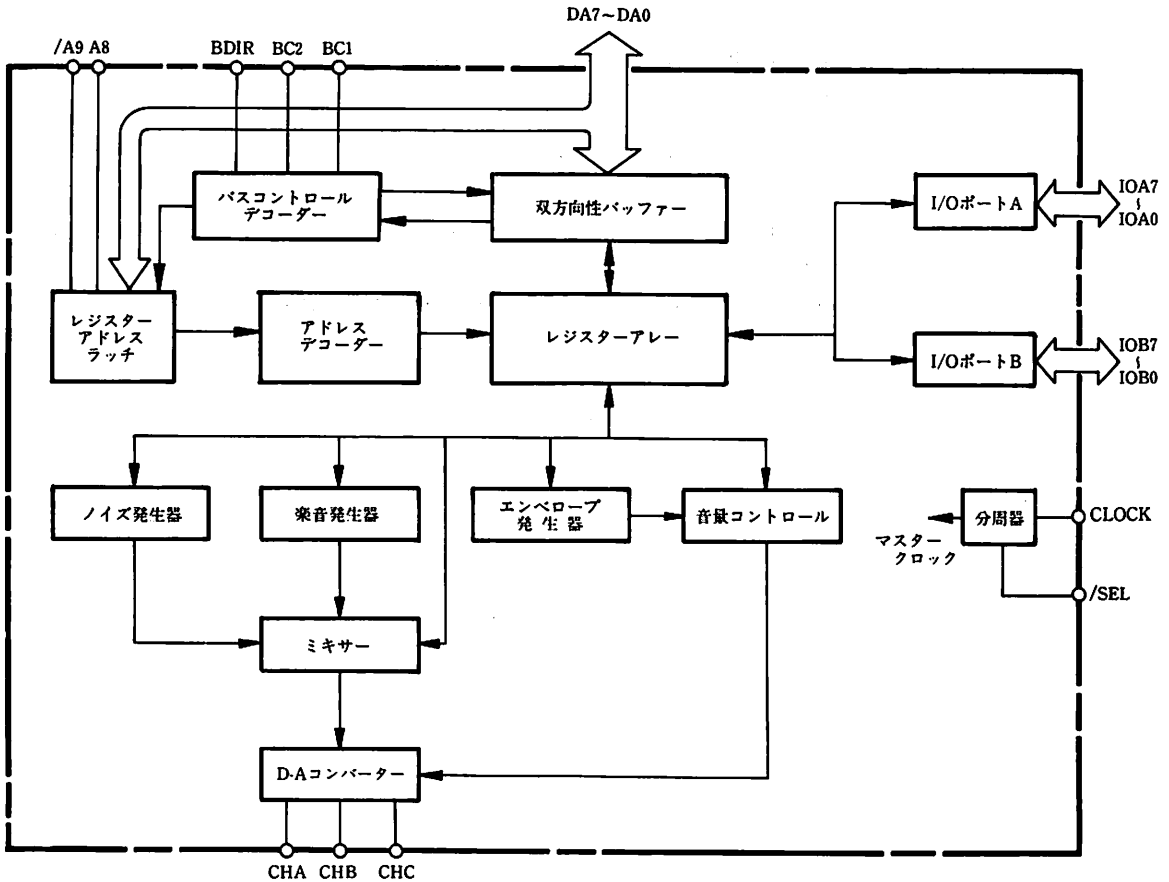


<40DIP Top View>



<44QFP Top View>

## ■ ブロック図



## ■ 端子機能

名称	I/O	機能
VSS		グラウンド
CHB	O	CHANNEL B DAC出力
CHA	O	CHANNEL A DAC出力
IOB7	I+/O	I/O PORT B MSB
IOB6	I+/O	I/O PORT B bit6
IOB5	I+/O	I/O PORT B bit5
IOB4	I+/O	I/O PORT B bit4
IOB3	I+/O	I/O PORT B bit3
IOB2	I+/O	I/O PORT B bit2
IOB1	I+/O	I/O PORT B bit1
IOB0	I+/O	I/O PORT B LSB
IOA7	I+/O	I/O PORT A MSB
IOA6	I+/O	I/O PORT A bit6
IOA5	I+/O	I/O PORT A bit5
IOA4	I+/O	I/O PORT A bit4
IOA3	I+/O	I/O PORT A bit3
IOA2	I+/O	I/O PORT A bit2
IOA1	I+/O	I/O PORT A bit1
IOA0	I+/O	I/O PORT A LSB
CLOCK	I	マスタークロック用クロック入力
/RESET	I+	リセット入力(ロウアクティブ)
/A9	I-	CPUインターフェイス アドレス入力
A8	I+	CPUインターフェイス アドレス入力
/SEL	I+	マスタークロック設定('L';CLOCK/2, 'H';CLOCK)
BDIR	I	CPUインターフェイス データバスコントロール入力
BC2	I	CPUインターフェイス データバスコントロール入力
BC1	I	CPUインターフェイス データバスコントロール入力
DA7	I/O	CPUインターフェイス データバス
DA6	I/O	CPUインターフェイス データバス
DA5	I/O	CPUインターフェイス データバス
DA4	I/O	CPUインターフェイス データバス
DA3	I/O	CPUインターフェイス データバス
DA2	I/O	CPUインターフェイス データバス
DA1	I/O	CPUインターフェイス データバス
DA0	I/O	CPUインターフェイス データバス
CHC	O	CHANNEL C DAC出力
TEST1	O	LSIテスト端子(通常無接続として下さい)
VDD		+5V電源

注) I+; プルアップ抵抗付入力端子、I-; プルダウン抵抗付入力端子

■ 機能説明

本LSIの全機能は16個の内蔵レジスタによって制御されます。CPUは、レジスタにデータを書き込むだけでよく、音の発生は本LSI自身が行ないます。次の各ブロックによって音が発生されます。

- 楽音発生器：各チャンネル(A、B、C)毎に、周波数の異った矩形波を発生させます。
- ノイズ発生器：擬似ランダム波形を発生します。(周波数可変)
- ミキサー：各チャンネル(A、B、C)毎に、楽音とノイズの出力を混合します。
- 音量コントロール：各チャンネル(A、B、C)毎に、一定音量又は可変音量を与えます。一定音量はCPUによって制御され、可変音量はエンベロープ発生器によって制御されます。
- エンベロープ発生器：各種のエンベロープ(単発減衰、繰返し減衰等)を発生させます。
- D/Aコンバータ：各チャンネル(A、B、C)毎に、音量コントロールによって決められたレベルで出力します。

なお、CPUは音に影響を与えることなく、レジスタの内容を読むことができます。

1. CPUインターフェイス

本LSIのDAO~DA7の双方向データバスのコントロールはBDIR, BC1, BC2の各端子によって行います。

BDIR, BC1, BC2各端子の設定により、CPUインターフェイスは以下のモードとなります。

BDIR	BC2	BC1	モード
L	L	L	インアクティブモード
L	L	H	アドレスモード
L	H	L	インアクティブモード
L	H	H	データリードモード
H	L	L	アドレスモード
H	L	H	インアクティブモード
H	H	L	データライトモード
H	H	H	アドレスモード

注) バスコントロールは冗長なのでBC2を'H'に固定しても全てのモードを設定できます。

- (1) インアクティブモード  
DA7~DA0はハイインピーダンスになります。
- (2) アドレスモード  
設定しようとするレジスタのアドレスを取り込むモードです。  
DA7~DA0は入力端子となります。  
アドレス指定にはDA7~DA0と/A9, A8を合わせて使用します。

上位アドレス(チップセレクト)						下位アドレス			
/A9	A8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
L	H	L	L	L	L	レジスタアドレス			

10ビットのアドレスのうち下位アドレスDA3~DA0は16個の内蔵レジスタのアドレスとなります。

上位アドレスはチップセレクトとして働き、/A9, A8は各々'L', 'H'に、DA7~DA4は全て'L'に一致する場合に限り、DA3~DA0をレジスタアドレスとして取り込みます。一度取り込んだレジスタアドレスは次のアドレスが取り込まれるまで内部で保持されます。

(3) データライトモード

現在アドレスされているレジスタにデータを書き込むモードです。  
DA7~DA0はデータ入力端子となります。

(4) データリードモード

現在アドレスされているレジスタからデータを読み出すモードです。  
DA7~DA0はデータ出力端子となります。

## 2. レジスタ設定

レジスタアレーの内容を以下に示します。

レジスタ アドレス	名称	内 容	B <sub>7</sub>	B <sub>6</sub>	B <sub>5</sub>	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	
0	R <sub>0</sub>	チャンネルAの周波数	8ビットトーン微調整								
1	R <sub>1</sub>		×	×	×	×	4ビットトーン粗調整				
2	R <sub>2</sub>	チャンネルBの周波数	8ビットトーン微調整								
3	R <sub>3</sub>		×	×	×	×	4ビットトーン粗調整				
4	R <sub>4</sub>	チャンネルCの周波数	8ビットトーン微調整								
5	R <sub>5</sub>		×	×	×	×	4ビットトーン粗調整				
6	R <sub>6</sub>	ノイズの周波数	×	×	×	5ビットノイズ周波数					
7	R <sub>7</sub>	I/Oポート、ミキサー の設定	I/O			ノイズ			トーン		
			IOB	IOA	C	B	A	C	B	A	
8	R <sub>8</sub>	チャンネルAの音量	×	×	×	M	L <sub>3</sub>	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>	
9	R <sub>9</sub>	チャンネルBの音量	×	×	×	M	L <sub>3</sub>	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>	
A	R <sub>A</sub>	チャンネルCの音量	×	×	×	M	L <sub>3</sub>	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>	
B	R <sub>B</sub>	エンベロープの周波数	8ビット微調整								
C	R <sub>C</sub>		8ビット粗調整								
D	R <sub>D</sub>	エンベロープの形状	×	×	×	×	CONT	ATT	ALT	HOLD	
E	R <sub>E</sub>	I/OポートAのデータ	8ビットデータ								
F	R <sub>F</sub>	I/OポートBのデータ	8ビットデータ								

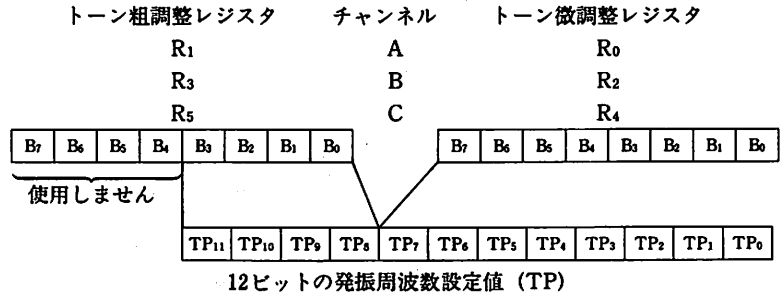
注) ×はdon't care

(1) 楽音周波数の設定(レジスタR<sub>0</sub>~R<sub>5</sub>で制御)

3チャンネル(A、B、C)の楽音発生器で作られる矩形波の周波数はレジスタR<sub>0</sub>~R<sub>5</sub>によって設定されます。R<sub>0</sub>、R<sub>1</sub>がチャンネルAを、R<sub>2</sub>、R<sub>3</sub>がチャンネルBを、R<sub>4</sub>、R<sub>5</sub>がチャンネルCをそれぞれ制御します。発振周波数 $f_t$ は設定値TPから次のように決められます。

$$f_t = \frac{f_M}{16TP}$$

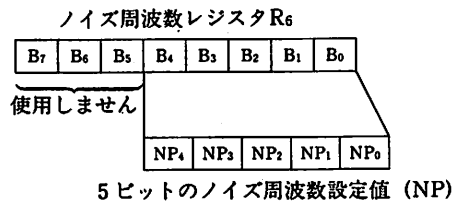
但し、 $f_M$ はマスタークロックの周波数です。



(2) ノイズ周波数の設定(レジスタR<sub>6</sub>で制御)

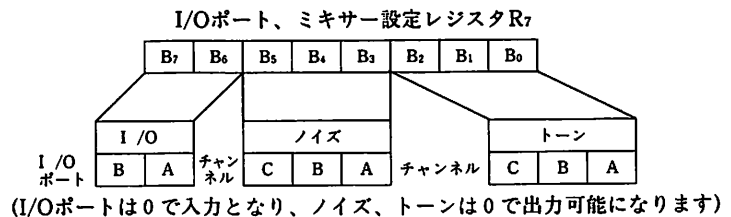
ノイズ音源の周波数 $f_N$ は設定値NPから次のように決められます。

$$f_N = \frac{f_M}{16NP} \quad (f_M \text{はマスタークロックの周波数})$$



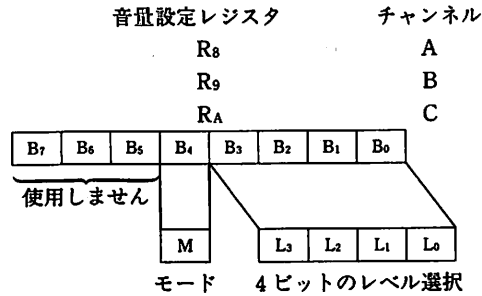
(3) ミキサー、I/Oポートの設定(レジスタR<sub>7</sub>で制御)

ミキサーは楽音とノイズ音の混合をしますが、その混合を決めるのがR<sub>7</sub>のB<sub>5</sub>~B<sub>0</sub>です。レジスタに0を書き込まれた音が出力します。従ってノイズと楽音が共に0を書かれていれば混合されて出力し、どちらかだけが0ならば、0の方の音が出力します。両方共に1が書かれていると出力しません。I/Oポートの入出力はR<sub>7</sub>のB<sub>7</sub>、B<sub>6</sub>で決められます。レジスタに0が書かれていると入力となります。



### (4) 音量コントロール(レジスタ R<sub>8</sub>~R<sub>A</sub>で制御)

3チャンネル(A、B、C)の音量はレジスタR<sub>8</sub>~R<sub>A</sub>で制御されます。

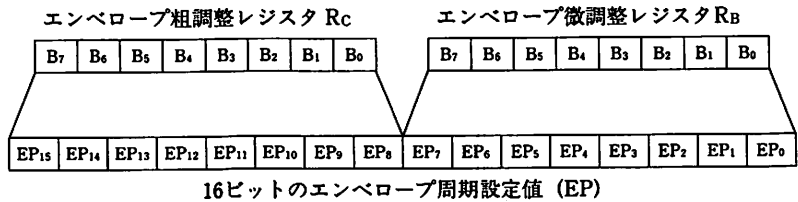


モードMは固定音量(M=0)にするか、可変音量(M=1)にするかの選択をします。M=0のときは、4ビットのレベル選択信号L<sub>3</sub>L<sub>2</sub>L<sub>1</sub>L<sub>0</sub>で16通りのレベルから1つを選んで発音します。音量を変えたい時はL<sub>3</sub>L<sub>2</sub>L<sub>1</sub>L<sub>0</sub>を変化させます。M=1のときは内蔵のエンベロープ発生器で作られる5ビットの信号によって音量が決められて発音されます。

### (5) エンベロープ周波数の設定(レジスタ R<sub>B</sub>、R<sub>C</sub>で制御)

エンベロープの繰り返し周波数f<sub>e</sub>は、エンベロープ周期の設定値EPから次のように決められます。

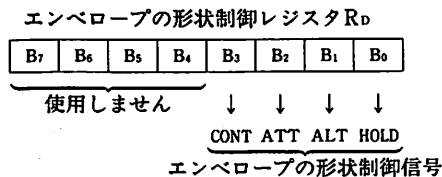
$$f_e = \frac{f_M}{256EP} \quad (f_M \text{ はマスタークロック周波数})$$



実際にエンベロープ発生器で使う周波数f<sub>eA</sub>の周期はエンベロープの繰り返し周期(1/f<sub>e</sub>)の1/32です。

### (6) エンベロープの形状コントロール(レジスタ R<sub>D</sub>で制御)

エンベロープ発生器は、エンベロープパターンの1サイクル当り、エンベロープ周波数f<sub>eA</sub>を32回カウントします。この5ビットのカウンターの出力によってエンベロープレベルが決まります。エンベロープの形状はこのカウンター値を上昇、下降させたり1サイクルで止めたり、繰り返しをさせたりして作られます。この形状の制御はレジスタR<sub>D</sub>のB<sub>3</sub>~B<sub>0</sub>によって行なわれます。



CONT、ATT、ALT、HOLDにより、エンベロープは表4に示すような各種形状をとります。

B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	エンベロープ形状
CONT	ATT	ALT	HOLD	
0	0	×	×	
0	1	×	×	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

→ 1/f<sub>E</sub> ← エンベロープの繰り返し周期

表4 エンベロープの形状

(7) I/Oポート(レジスタ R<sub>E</sub>、R<sub>F</sub>)

レジスタ R<sub>E</sub>、R<sub>F</sub>はCPUからのI/Oポートへの書き込みデータを貯えておくところです。R<sub>E</sub>がIOA用で、R<sub>F</sub>がIOB用のレジスタです。

3. D-Aコンバータ

D-Aコンバータは最大振幅を1Vに正規化した時に、以下に示すような出力に変換します。これは直線対数変換になっていて、広いダイナミックレンジを持ち、自然な減衰感が得られます。

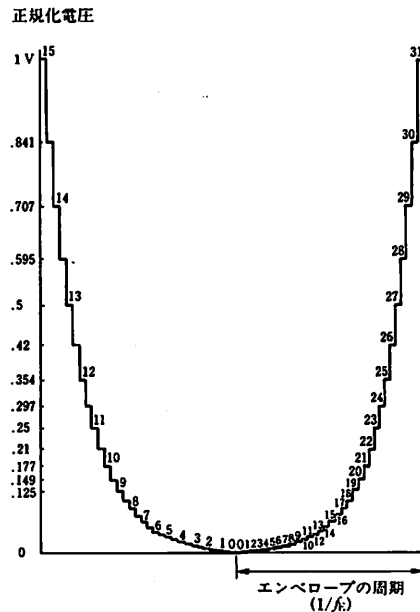


図1 D-Aコンバータの出力レベル

図中左半分の添字は固定音量の選択信号 L<sub>3</sub>L<sub>2</sub>L<sub>1</sub>L<sub>0</sub> を10進表示したもので、右半分のの添字はエンベロープカウンターの出力を10進表示したものです。



## ■ 電気的特性 1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub>	-0.5 ~ 7.0	V
入力電圧	V <sub>i</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
動作温度	T <sub>op</sub>	0 ~ 70	°C
保存温度	T <sub>stg</sub>	-50 ~ 125	°C

## 2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>DD</sub>	4.75	5.00	5.25	V
動作温度	T <sub>op</sub>	0	25	70	°C

## 3. 直流特性(条件: T<sub>a</sub>=0~70°C, V<sub>DD</sub>=5.0±0.25V)

項目	記号	条件	最小	標準	最大	単位
消費電力	P <sub>D</sub>	V <sub>DD</sub> =5.0V, ※1		8.0	10.0	mW
入力電圧Hレベル	V <sub>IH</sub>	※2	2.2			V
入力電圧Lレベル	V <sub>IL</sub>	※2			0.8	V
入力プルアップ抵抗	R <sub>U</sub>	※3	60		600	kΩ
入力プルダウン抵抗	R <sub>D</sub>	/A9に適用	60		600	kΩ
入力リーク電流	I <sub>LI</sub>	※4	-10		10	μA
出力電圧Hレベル	V <sub>OH</sub>	I <sub>OH</sub> =100μA, ※5	2.5			V
出力電圧Lレベル	V <sub>OL</sub>	I <sub>OL</sub> =1.6 mA, ※5			0.4	V
出力リーク電流	I <sub>LO</sub>	※6	-10		10	μA
アナログ最大出力電圧	V <sub>OA</sub>	R <sub>L</sub> =1kΩ, ※7	0.96	1.00	1.35	V

※1) /SEL='H', f<sub>C</sub>=2MHz時。

※2) 全ての入力端子に適用。IOA7~IOA0, IOB7~IOB0, DA7~DA0の各端子は入力モード時に適用。

※3) /RESET, /SEL, A8の各端子に適用。IOA7~IOA0, IOB7~IOB0の各端子は入力モード時に適用。

※4) CLOCK, DBIR, BC1, BC2の各端子に適用。DA7~DA0の各端子は入力モード時に適用。

※5) CHA, CHB, CHCを除く出力端子に適用。IOA7~IOA0, IOB7~IOB0, DA7~DA0の各端子は出力モード時に適用。

※6) DA7~DA0のハイインピーダンスモード時に適用。

※7) CHA, CHB, CHCの各端子に適用。

4. 交流特性 (条件:  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=5.0\pm 0.25\text{V}$ )

項 目	記号	最 小	標 準	最 大	単 位
CLOCK 周波数 ※1	$f_c$	1.0	50	4.0	MHz
	立ち上がり時間	$t_r$		50	ns
	立ち下がり時間	$t_f$		50	ns
	デューティ			40	60
BDIR, BC1, BC2 信号変化時間	tBD			30	ns
	/RESET リセットパルス幅	trw	500		ns
リセット → バスコントロール ウェイト時間	trB	100			ns
アドレスモード					
セットアップ時間	tAS	300			ns
ホールド時間	tAH	80			ns
データライトモード					
ライト時間	trw	0.3		10	$\mu\text{s}$
セットアップ時間	tDS	0			
ホールド時間	tDH	80			
データリードモード					
アクセス時間	tDA			400	
ハイインピーダンス遅延時間	tTS			100	

※1) /SEL='H' の時は最大2MHz

5. タイミング図

図1. クロックタイミング

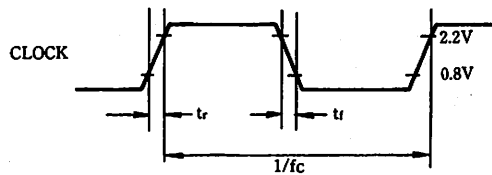


図2. バスコントロールタイミング

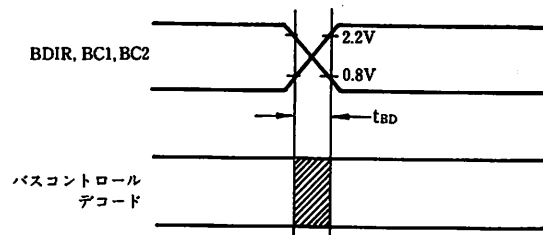
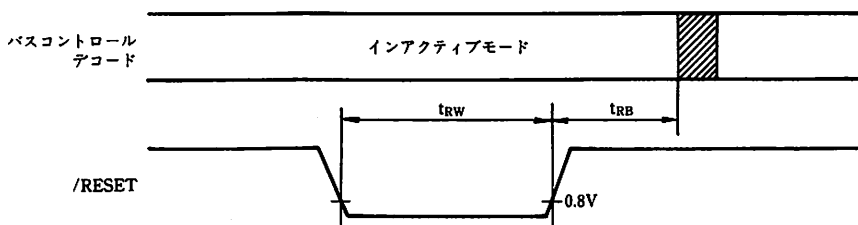


図3. リセットタイミング



注) リセットはインアクティブモードにて行って下さい。  
リセット後モードを変化させるまでに $t_{RB}$ 期間が必要です。

図4. アドレスモードタイミング

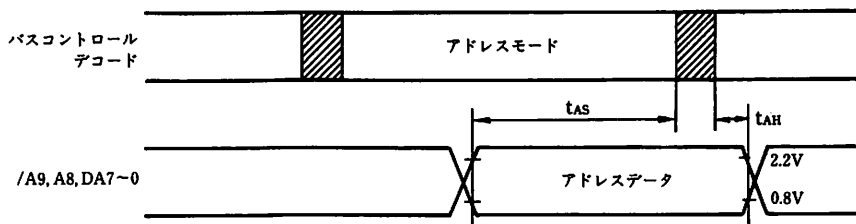


図5. データライトモードタイミング

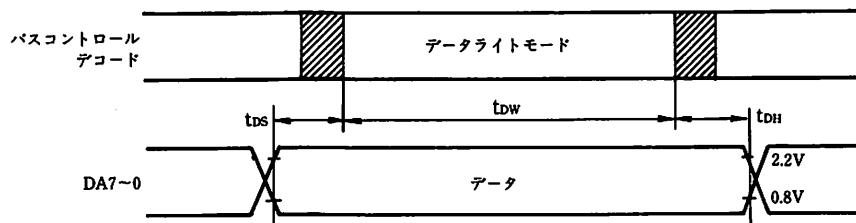
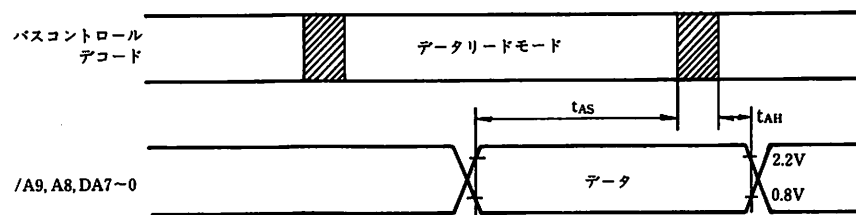
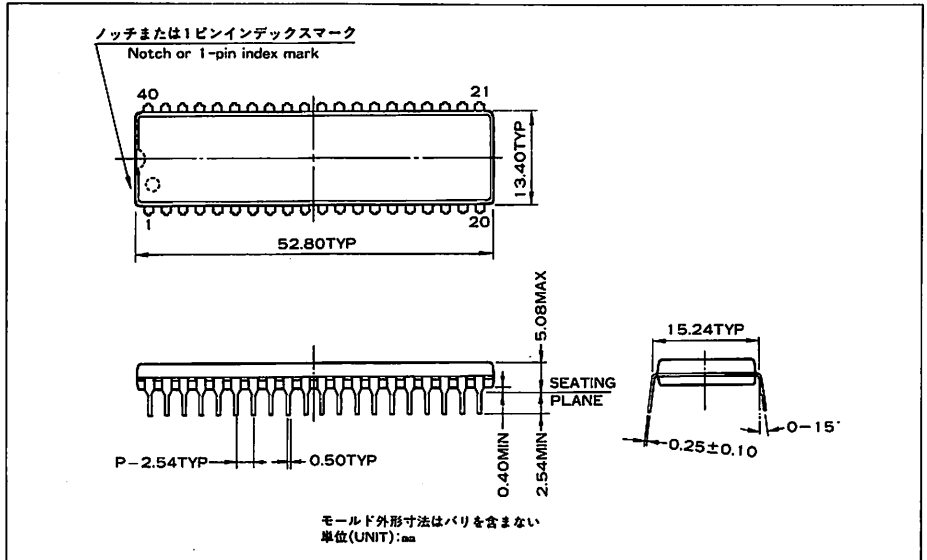


図6. データリードモードタイミング



■ パッケージ外形図

(1) YM3439-D



(2) YM3439-F

