

YM3012

2-Channel floating D/A Converter
(DAC-MS)

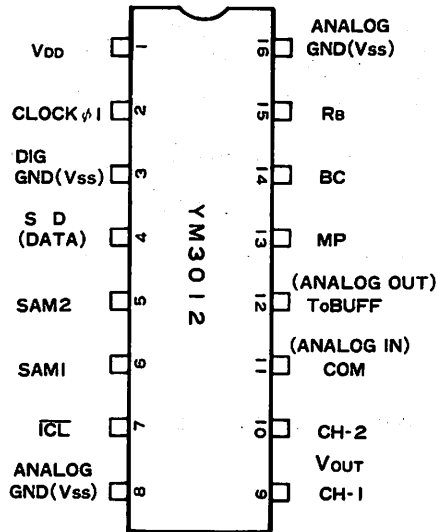
■ 概 要

※YM3012：DAC-MSは、2チャンネル用のシリアル入力のフローティングD/A変換器(以下DACと略称)で、入力のデジタル信号に対応して、10ビットの仮数部と3ビットの指数部をもつアナログ出力(ダイナミックレンジ16ビット)を発生することができます。

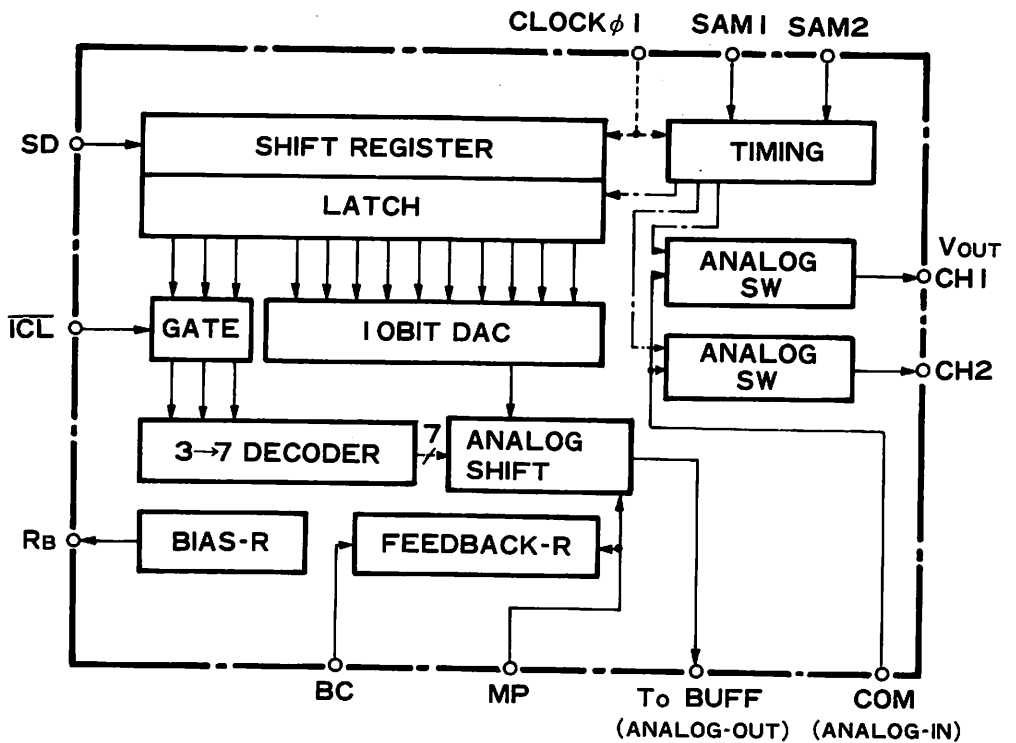
■ 特 長

- バッファオペアンプ等を外付して、簡単にアナログ出力が得られます。
- 16ビットの広いダイナミックレンジ
- 2チャンネルまでのPCM音源に対応
- サンプルホールド用アナログスイッチ内蔵
- 低雑音、低い高調波歪率、温度特性がすぐれています。
- 高精度薄膜抵抗とCMOSのモノリシックプロセスでつくられ16ピンプラスチックDILパッケージに入っています。

■端子配置図



■ブロック図



■端子機能

ピンNo.	記号名	機能
1	V _{DD}	高電位側基準電源
2	CLOCK	シフトレジスタ、タイミングジェネレータを動かすクロック ($\phi 1$)
3	DIG- V _{SS}	デジタル部の低電位側電源 (GND)
4	SD	被変換デジタル信号のシリアル入力
5	SAM2	「1」の区間が CH2 用のサンプリング期間となります。
6	SAM1	「1」の区間が CH1 用のサンプリング期間となります。 SAM1、SAM2 の立下りを使い、シリアルデータをラッチする内部信号を作っています。
7	ICL	「1」-通常動作、「0」-SD の信号に係らず、 $S_2=S_1=0$ 、 $S_0=1$ と同等のアナログ出力となります。
8	ANALOG V _{SS}	アナログ部の低電位側電源 (GND)
9	V _{OUT} CH1	CH1 用のサンプルホールドアナログスイッチ出力
10	V _{OUT} CH2	CH2 用のサンプルホールドアナログスイッチ出力
11	COM	CH1 及び CH2 用のアナログスイッチの共通入力
12	ToBUFF	DAC のアナログ出力、バッファオペアンプに入力
13	MP	MP に与える電位を基準に、S 信号により、指数関数的なアナログ値が得られます。 普通は $\frac{1}{2} V_{DD}$ にバイアスします。
14	BC	この端子と13ピン間には、バッファオペアンプの入力バイアス電流による誤差を打消す抵抗が入っています。位相補償用の容量 C_C を外付することが推められます。
15	R _B	この端子には、内部で作られた高精度の $\frac{1}{2} V_{DD}$ の電圧が出ています。バッファオペアンプを介して、13ピンに加えます。
16	ANALOG V _{SS}	15ピンの $\frac{1}{2} V_{DD}$ を作るための低電位側電源 (GND)

■機能説明

1. デジタル入力データとアナログ出力電圧の関係

YM 3012では、2チャンネル分の変換を32ビットタイムで行った場合、1チャンネル分の16ビットシリアルデータの内、初めの3ビットのデータは、DAC内部では無効データとして処理され、次の10ビットのデータ(D₀~D₉)は、LSBからMSBのデータとして、10ビットDAC部に入力し、アナログ出力の仮数部を作ります。その後の3ビットのデータ(S₀~S₂)は、2^{-N}のアナログシフト部に入力し、アナログ出力の指数部を作ります。例えば、基本回路例の場合には、出力電圧は次の様になります。

$$V_{OUT} = \frac{1}{2} V_{DD} + \frac{1}{4} V_{DD} (-1 + D_9 + D_8 2^{-1} + \dots + D_0 2^{-9} + 2^{-10}) 2^{-N}$$

$$N = \overline{S_2} 2^2 + \overline{S_1} 2^1 + \overline{S_0}$$

但し、S₂=S₁=S₀=0は禁止

すなわち、 $\frac{1}{2} V_{DD}$ の電位を中心に、 $\frac{1}{2} V_{DD}$ の最大振巾、 $\frac{1}{2} V_{DD} 2^{-16}$ の最小振巾をもっています。

2. DAC内部での動作

デジタル入力データは、クロックの立上りに同期して、SD端子よりシフトレジスタにとり込まれます。SAM1、SAM2の立下りを利用して、タイミング回路でラッチ信号がつけられます。このラッチ信号により、D₀~D₉、S₀~S₂のシリアルデータがラッチされ、前者は10ビットDAC部、後者はアナログシフト部を駆動して変換が開始します。

そのアナログ出力は、T₀ BUFFという端子に出ています。これを適当なバッファオペアンプと抵抗を介して、COMという端子に入力しますと、このアナログ出力は、SAM1、SAM2の「1」の期間に各々、CH1、CH2という端子に出力し、「0」の期間には、適当な静電容量に、チャンネル毎のアナログ出力が保持されます。

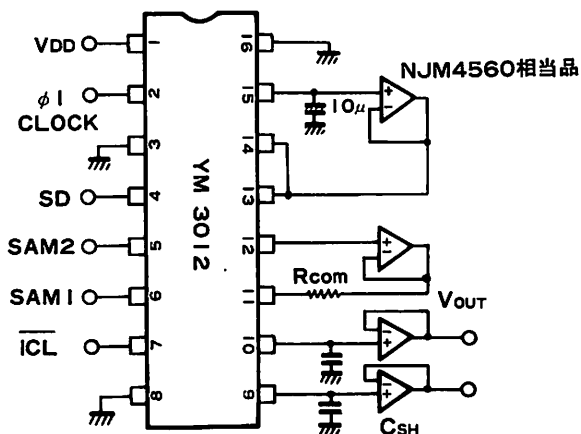
3. 動作の要点

- タイミング図、図3に示します様に、SAM1、SAM2の立下り部はSD信号のS₂の後端のタイミングと一致する様にして下さい。
- SAM1、SAM2のサンプリング期間は、図3に示した8ビットタイム以外にも設定できます。
- チャンネル1のみを使用する場合は、例えば、SAM2をV_{SS}にして、SD信号のS₂の後端と、SAM1の立下り部のタイミングを一致させる様にして下さい。
- 変換サイクルを異なるビットタイムで行う場合には、無効ビット数部の増減で対応できます。

4. イニシャルクリア機能

\overline{ICL} を「0」にすると、デジタル入力データの値に関らず、S₂=S₁=0、S₀=1、すなわち、仮数部は変わらずに、指数部が2⁻⁶に減少した出力が両チャンネル出力にできます。

■基本回路例



外付定数値例

サンプホールド容量 $C_{SH} = 560 \sim 3300 \text{PF}$ 1500PF 推奨
 コモン抵抗 $R_{COM} = 100 \sim 1000 \Omega$ 270Ω

V_{DD} 等の使用条件により上記の範囲内で最適値が決ります。

■電気的特性

1. 絶対最大定格

項目	定格値	単位
電源電圧	-0.3 ~ +15.0	V
高レベル入力電圧	$V_{DD} + 0.3$	V
低レベル入力電圧	$V_{SS} - 0.3$	V
動作周囲温度	0 ~ 70	°C
保存温度	-50 ~ +125	°C

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V _{DD}	4.75	5.0	10.0	V
	V _{SS}	0	0	0	V
入力信号電圧	CLOCK	0	-	V _{DD}	V
	SD				
	SAM1, 2				
	$\overline{\text{ICL}}$				
動作周囲温度	T _a	0	-	70	°C

3. 直流特性

項目	記号	測定条件	最小	標準	最大	単位
高レベル入力電圧	V _{IH}	V _{DD} = 5.0V	3.3	-	-	V
低レベル入力電圧	V _{IL}	V _{DD} = 5.0V	-	-	1.0	V
入力電流	I _{IN}	V _{DD} =10.0V	-	-	10 ⁻³	μA
電源電流	I _{DD}	V _{DD} = 5.0V	-	-	6	mA

4. 交流特性

項目	記号	条件	最小	標準	最大	単位
●クロック						
周波数	f _c		0.65	1.6	3.2	MHz
高レベル時間	T _H		100			ns
立上り時間	T _r				50	ns
立下り時間	T _f				50	ns
●データ						
セットアップ時間	T _{DS}	SD SAM 1 } SAM 2 }	100			ns
立上り時間	T _r				50	ns
立下り時間	T _f				50	ns

5. 容量

項目	記号	条件	最小	標準	最大	単位
入力容量	C _{IN}		-	-	5	pF

6. DAC 特性

項目	記号	条件	最小	標準	最大	単位
最大出力振幅	V _{OUT}			½V _{DD}		V _{pp}
分解能				16		ビット
セトリングタイム	T _S			2.5	5.0	μs
全高調波歪率 (アナリシスモード)	THD 1	V _{DD} =5V、110Hz、 レベル 0dB -36dB		0.05	0.10	%
	THD 6				0.15	%
ノイズ クロストーク				-92 -72	-80	dBm dB
温度特性		出力電圧 全高調波歪率			5	ppm/°C

■パッケージ外形図

