

## YM2608B

6-ch, 4-op. FM, SSG, ADPCM sound generator  
(OPNA)

### ■ 概 要

YM2608B(OPNA)は、YM2203Cと互換性を持ちながら、ADPCM等の機能を追加した複合型音源LSIです。

FM音源部では、YM2203Cでは3音だった同時発音数を倍の6音とし、出力チャンネルも2チャンネルとしています。さらに、LFOを内蔵し振幅や周波数に変調をかけることが可能になりました。

新たに追加されたADPCM部では1チャンネルで音声の分析/合成が可能です。また、このADPCMを利用したリズム音源部では、リアリティの高い6音のリズム音が発音可能です。

FM音源、SSG音源、ADPCM音源、リズム音源の4音源部によるシステム構成は、あらゆるサウンドコンセプトに柔軟に対応します。

### ■ 特 徴

#### <FM部>

- ・ 4 オペレータ・6音同時発音。
- ・ サイン波LFO機能内蔵。
- ・ 6音中1音は、複合正弦波合成が可能。
- ・ L, Rの2系統の出力チャンネルを持ち、各音毎に出力チャンネルの選択が可能。
- ・ 2つのタイマーを内蔵。

#### <SSG部>

- ・ YM2203, YM2149とソフトウェアコンパチブル。
- ・ 3chをミチシング後出力。

#### <リズム音源部>

- ・ 発音音色数6音(バスドラム、スネア、リムショット、タム、シンバル、ハイハット)。
- ・ 各音色毎に発音の制御、及びボリュームのコントロールが可能。
- ・ L, Rの2系統の出力チャンネルを持ち、各音色毎に出力チャンネルの選択が可能。

#### <ADPCM部>

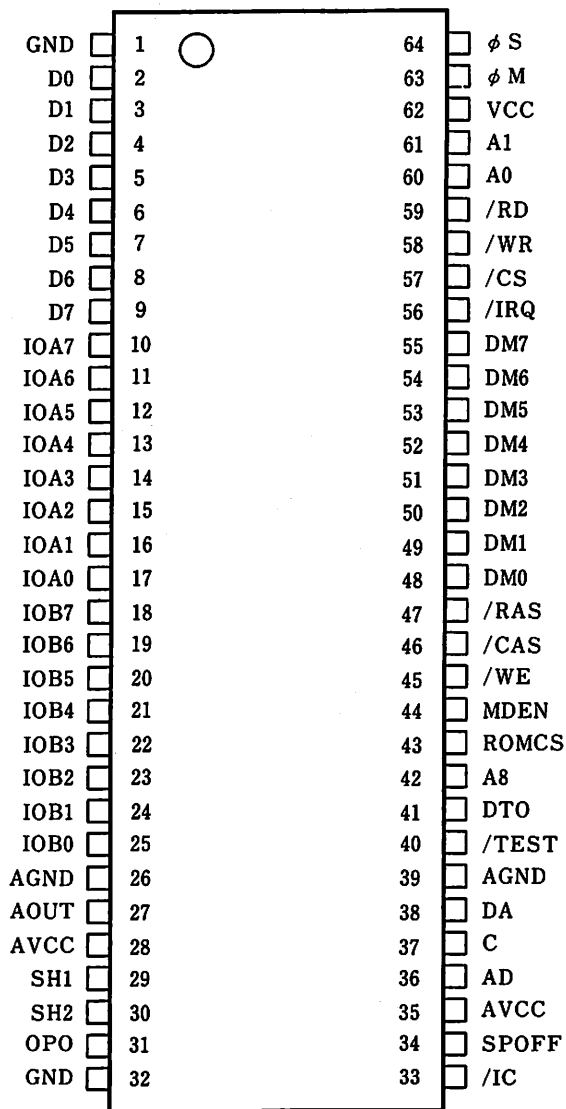
- ・ A/D変換、D/A変換ともに1チャンネル。
- ・ 外部メモリ、及びCPUが管理するメモリーへのアクセスが可能(最大256k bytes)。
- ・ 選択可能なサンプリングレートは、2k~16kHz。
- ・ 8ビットのサンプリングデータを4ビットに圧縮。

#### <その他>

- ・ シリコンゲートNMOSプロセス。
- ・ 5V単一電源
- ・ 64ピンプラスチックSDIP(YM2608B)。

## ■端子配置图

YM2608B



64 pin SDIP TOP VIEW

## ■端子機能

No.	名称	I/O	機能
1	GND	—	グラウンド
2	D0	I/O	CPUインターフェイス データバス D0(LSB)
3	D1	I/O	CPUインターフェイス データバス D1
4	D2	I/O	CPUインターフェイス データバス D2
5	D3	I/O	CPUインターフェイス データバス D3
6	D4	I/O	CPUインターフェイス データバス D4
7	D5	I/O	CPUインターフェイス データバス D5
8	D6	I/O	CPUインターフェイス データバス D6
9	D7	I/O	CPUインターフェイス データバス D7(MSB)
10	IOA7	I+/O	汎用I/OポートA (MSB)
11	IOA6	I+/O	汎用I/OポートA
12	IOA5	I+/O	汎用I/OポートA
13	IOA4	I+/O	汎用I/OポートA
14	IOA3	I+/O	汎用I/OポートA
15	IOA2	I+/O	汎用I/OポートA
16	IOA1	I+/O	汎用I/OポートA
17	IOA0	I+/O	汎用I/OポートA (LSB)
18	IOB7	I+/O	汎用I/OポートB (MSB)
19	IOB6	I+/O	汎用I/OポートB
20	IOB5	I+/O	汎用I/OポートB
21	IOB4	I+/O	汎用I/OポートB
22	IOB3	I+/O	汎用I/OポートB
23	IOB2	I+/O	汎用I/OポートB
24	IOB1	I+/O	汎用I/OポートB
25	IOB0	I+/O	汎用I/OポートB (LSB)
26	AGND	-A	グラウンド(アナログ部)
27	AOUT	OA	SSG部 アナログ信号出力(ソースフォロア)
28	AVCC	-A	+5V電源
29	SH1	O	DACインターフェイス CHANNEL 1 ラッチ出力
30	SH2	O	DACインターフェイス CHANNEL 2 ラッチ出力
31	OPO	O	DACインターフェイス シリアルデータ
32	GND	—	グラウンド
33	/IC	I+	初期化用入力
34	SPOFF	O	スピーカー ON/OFF用スイッチ
35	AVCC	-A	+5V電源(アナログ部)
36	AD	I	ADコンバータ アナログ入力端子
37	C	I	ADコンバータ サンプルホールド用コンデンサ接続端子
38	DA	I	ADコンバータ AD変換 基準電圧入力端子
39	AGND	-A	グラウンド(アナログ部)
40	/TEST	I+	LSIテスト端子
41	DTO	I+	外部メモリのデータ出力(DO0)
42	A8	O	外部メモリのアドレス出力(A8)
43	/ROMCS	O	外部メモリにROMを使用した場合のデータ取り込み用タイミング信号
44	MDEN	O	外部メモリにDRAMを使用した場合のデータ取り込み用タイミング信号
45	/WE	O	外部メモリインターフェース イネーブル信号

No.	名 称	I/O	機 能
46	/CAS	O	外部メモリインターフェース RASアドレスラッチ信号
47	/RAS	O	外部メモリインターフェース CASアドレスラッチ信号
48	DM0	I+/O	外部メモリのアドレス出力及びデータの入力(A0, DI0)
49	DM1	I+/O	外部メモリのアドレス出力及びデータの入出力(A1, DI1, DO1)
50	DM2	I+/O	外部メモリのアドレス出力及びデータの入出力(A2, DI2, DO2)
51	DM3	I+/O	外部メモリのアドレス出力及びデータの入出力(A3, DI3, DO3)
52	DM4	I+/O	外部メモリのアドレス出力及びデータの入出力(A4, DI4, DO4)
53	DM5	I+/O	外部メモリのアドレス出力及びデータの入出力(A5, DI5, DO5)
54	DM6	I+/O	外部メモリのアドレス出力及びデータの入出力(A6, DI6, DO6)
55	DM7	I+/O	外部メモリのアドレス出力及びデータの入出力(A7, DI7, DO7)
56	/IRQ	OD	CPUインターフェイス 割り込み要求信号
57	/CS	I+	CPUインターフェイス チップセレクト信号
58	/WR	I	CPUインターフェイス データライト信号
59	/RD	I	CPUインターフェイス データリード信号
60	A0	I	CPUインターフェイス バスコントロール信号
61	A1	I	CPUインターフェイス バスコントロール信号
62	VCC	I	+5 V電源
63	φM	I	マスタークロック入力(8MHz)
64	φS	O	DACインターフェイス ビットクロック

(注) I+ : プルアップ抵抗付、OD : オープンドレイン出力端子

## ■CPUインターフェース

レジスタのアドレスやデータのリード、ライト等のデータバスコントロールは/CS、/WR、/RD、A1、A0の各信号によって行います。

/CS	/RD	/WR	A1	A0	アドレス範囲	内 容
L	H	L	L	L	00H~2FH	アドレスライト(SSG, FM共通部, リズム)
					30H~B6H	アドレスライト(FM CH1, CH2, CH3)
L	H	L	L	H	00H~2FH	データライト(SSG, FM共通部, リズム)
					30H~B6H	データライト(FM CH1, CH2, CH3)
L	H	L	H	L	00H~10H	アドレスライト(ADPCM)
					30H~B6H	アドレスライト(FM CH4, CH5, CH6)
L	H	L	H	H	00H~10H	データライト(ADPCM)
					30H~B6H	データライト(FM CH4, CH5, CH6)
L	L	H	L	L	×	ステータス0のリード
L	L	H	L	H	00H~0FH	データリード(SSG)
					FFH	デバイス識別コードリード
L	L	H	H	L	×	ステータス1のリード
L	L	H	H	H	08H, 0FH	ADPCM, PCMデータのリード
H	*	*	*	*	×	D0~D7はハイインピーダンス

レジスタの書き込みは、まずアドレス指定を行い、次にデータを送ります（必ずアドレスライト、データライトの順）。同じアドレスを連続してアクセスする場合はデータライトを繰り返すことができます。

なお、アドレスライト、データライト後に次の動作に移るまでには各々以下のウェイト時間が必要です。

## 1) アドレスライト後

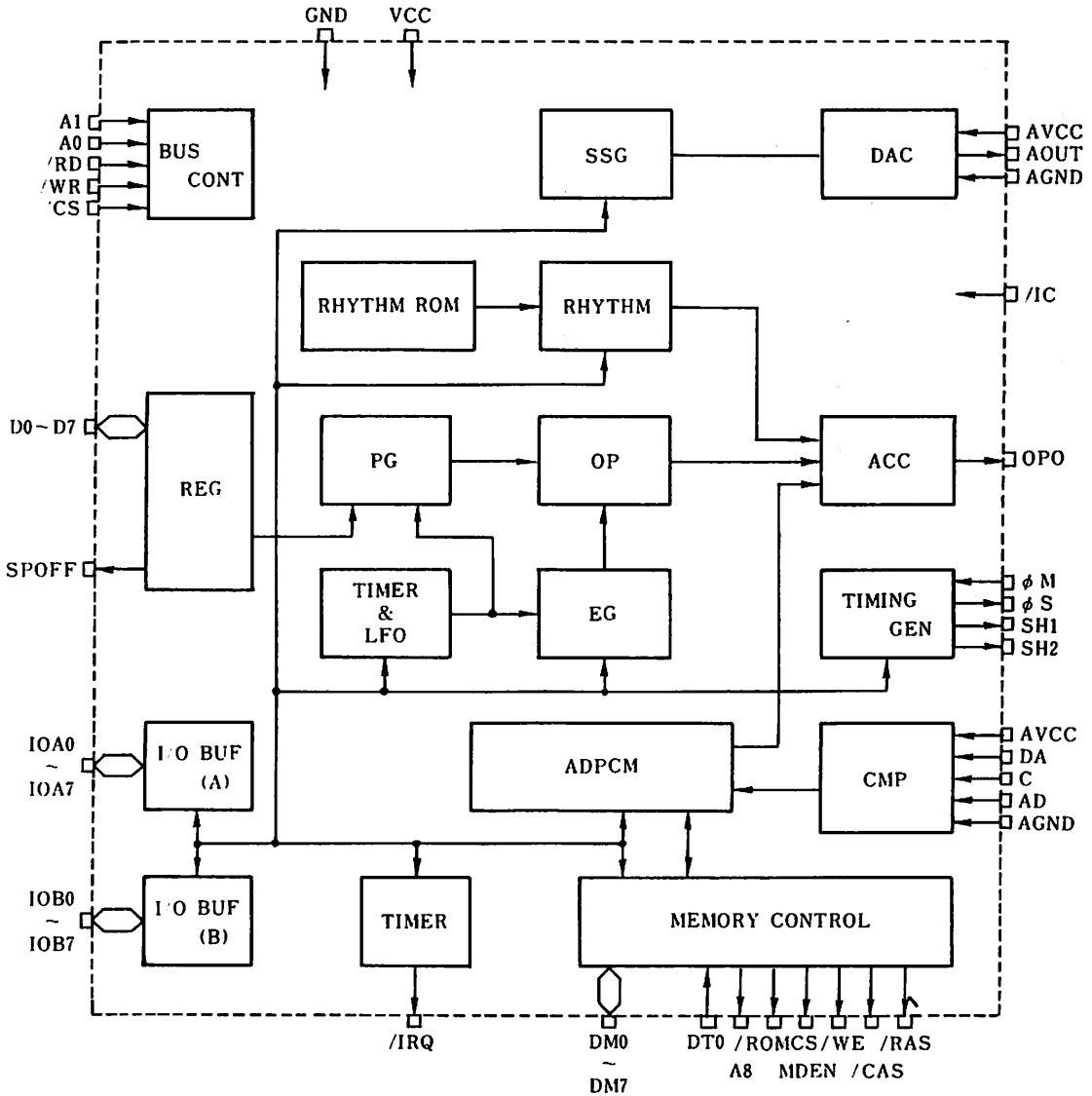
音源部	アドレス	待ちサイクル
FM	21H~B6H	17
SSG	00H~0FH	17
リズム	10H~1DH	17
ADPCM	00H~10H	17

## 2) データライト後

音源部	アドレス	待ちサイクル
FM	21H~9EH	155
	A0H~B6H	47
SSG	00H~0FH	17
リズム	10H	576
	11H~1DH	155
ADPCM	00H~10H	17

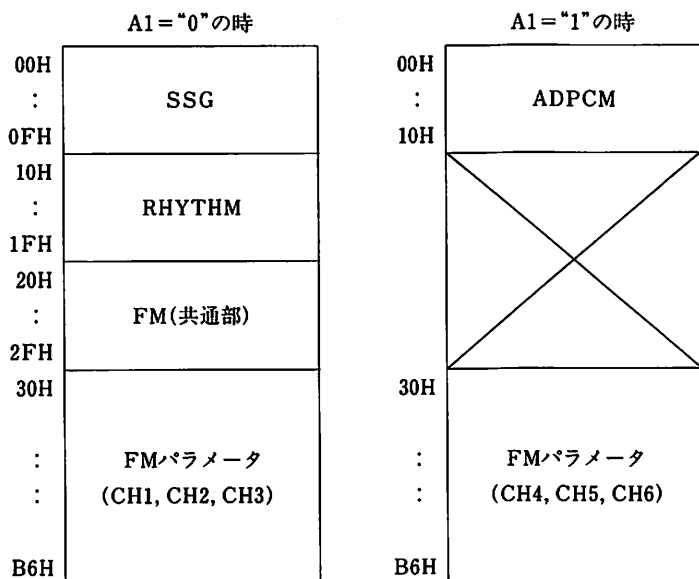
※サイクル数は、マスタークロックφMのサイクル数です。

■ブロックダイアグラム



## ■レジスタマップ

(a)レジスタ・アドレスの割当



(b)SSG部レジスタ

ADDR	MSB	D6	D5	D4	D3	D2	D1	LSB	機 能
00H	トーン微調整								Channel-A 周波数
01H					トーン粗調整				
02H	トーン微調整								Channel-B 周波数
03H					トーン粗調整				
04H	トーン微調整								Channel-C 周波数
05H					トーン粗調整				
06H	ノイズ周波数								ノイズ 周波数
07H	IN/OUT		/noise			/tone			ミキサー設定, ポート入出力設定
	IOB	IOA	C	B	A	C	B	A	
08H				M	Level				Channel-A 音量
09H				M	Level				Channel-B 音量
0AH				M	Level				Channel-C 音量
0BH	微調整								エンベロープ周波数
0CH	粗調整								
0DH					CON	ATT	ALT	HLD	エンベロープ形状
0EH	I/O Port A								I/O Port A データ
0FH	I/O Port B								I/O Port B データ

(c)リズム音源部レジスタ

ADDR	MSB	D6	D5	D4	D3	D2	D1	LSB	機 能
10H	DM		RKON						Dump, Rhythm Key ON/OFF
11H			RTL						Rhythm Total Level
12H	TEST								LSIのTest Data
18H : 1DH	L	R		IL					Output Select, Instrument Level

(d)FM部レジスタ

ADDR	MSB	D6	D5	D4	D3	D2	D1	LSB	機能
21H	Test								LSIテスト
22H	LFO								LFOの周波数制御
24H	Timer-A								Timer-Aの上位8ビットデータ
25H	Timer-A								Timer-Aの下位2ビットデータ
26H	Timer-B								Timer-Bのデータ
27H	Mode	Reset		Enable		Load		Timer-A/Bのコントロール 3CHのモード	
		B	A	B	A	B	A		
28H	Slot				CH				Key ON/OFF
29H	SCH	IRQ ENABLE							発音チャンネル数の設定 割り込みの制御
		ZERO	BRDY	EOS	TI-B	TI-A			
2DH									プリスケール機能によるクロック分周 数を設定します。
2EH									
2FH									
3*H	DT				MULTI				Detune, Multiple
4*H	TL								Total Level
5*H	KS		AR						Key Scale, Attack Rate
6*H	AMON		DR						AM ON/Decay Rate
7*H	SR								Sustain Rate
8*H	SL				RR				Sustain Level, Release Rate
9*H	SSG-EG								SSG Type Envelop Control
A0H	F-Nnm.1								F-Number, Block
A1H									
A2H									
A4H	Block				F-Num.2				
A5H									
A6H									
A8H	3CH*F-Num.1								3CH-3lot F-Number/Block
A9H									
AAH									
ACH	3CH*Block				3CH*F-Num.2				
ADH									
AEH									
B0H	FB				Connect				Self Feed Back, Connention
B1H									
B2H									
B4H	L	R	AMS		PMS				L/R, AM, PM Sense
B5H									
B6H									

(注)アドレスの下位4ビットの"\*"は、以下のようにチャンネルと対応します。

slot No.	1	2	3	4
CH1, CH4	+0	+8	+4	+C
CH2, CH5	+1	+9	+5	+D
CH3, CH6	+2	+A	+6	+E



(e)ADPCM部レジスタ

ADDR	MSB	D6	D5	D4	D3	D2	D1	LSB
00H	START	REC	MEM DATA	REPEAT	SP OFF	/		RESET
01H	L	R	/		SMP	DA/ AD	RAM TYPE	ROM
02H	Start Address (L)							
03H	Start Address (H)							
04H	End Address (L)							
05H	End Address (H)							
06H	PRESCAL (L)							
07H	PRESCAL (H)							
08H	ADPCM-DATA							
09H	Delta-N (L)							
0AH	Delta-N (H)							
0BH	EG Control							
0CH	LIMIT Address (L)							
0DH	LIMIT Address (H)							
0EH	DAC DATA							
0FH	(PCM DATA)							
10H	IRQ RESET	/		MASK ZERO	MASK BRDY	MASK EOS	MASK TI-B	MASK TI-A

(f)ステータス部

ADDR	MSB	D6	D5	D4	D3	D2	D1	LSB	Comment
××	BUSY	/					FLAG B	FLAG A	Status 0
××	BUSY	/	PCM BUSY	ZERO	BRDY	EOS	FLAG B	FLAG A	Status 1

## ■レジスタ機能概要

### 1) FM部

ADDR	BIT	機 能																											
21H	TEST	LSIのTEST DATAを入力します。通常は何も設定しません。																											
22H	LFO	D2~D0でLFOの周波数の設定を、D3でON/OFFの制御をします。																											
24H~25H	TIMER-A	TIMER-Aのプリセット値を設定します。24Hが下位8ビット、25Hが上位2ビットにあたります。分解能は9μs (φM=8MHzのとき)です。																											
26H	TIMER-B	TIMER-Bのプリセット値を設定します。分解能は144μs (φM=8MHzのとき)です。																											
27H	MODE	チャンネル3、6のモードを設定します。																											
		<table border="1"> <thead> <tr> <th>MSB</th> <th>D6</th> <th>モード</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ノーマル</td> <td>通常のCHと同様の発音をします。</td> </tr> <tr> <td>1</td> <td>0</td> <td>CSM</td> <td>CSM音声合成モードとなり、F-NUMBERとBLOCKは4スロット別々に設定できます。このときの発音はTIMER-Aで制御します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>効果音</td> <td>CSM時同様、F-NUMBERとBLOCKは別々に設定できます。</td> </tr> </tbody> </table>	MSB	D6	モード	機 能	0	0	ノーマル	通常のCHと同様の発音をします。	1	0	CSM	CSM音声合成モードとなり、F-NUMBERとBLOCKは4スロット別々に設定できます。このときの発音はTIMER-Aで制御します。	0	1	効果音	CSM時同様、F-NUMBERとBLOCKは別々に設定できます。											
		MSB	D6	モード	機 能																								
		0	0	ノーマル	通常のCHと同様の発音をします。																								
1	0	CSM	CSM音声合成モードとなり、F-NUMBERとBLOCKは4スロット別々に設定できます。このときの発音はTIMER-Aで制御します。																										
0	1	効果音	CSM時同様、F-NUMBERとBLOCKは別々に設定できます。																										
RESET A, B	TIMER-A, BによるFLAGをリセットします。																												
ENABLE A, B	TIMER-A, BによるFLAGを制御します。“0”のときFLAGはマスクされます。																												
	LOAD A, B	TIMER-A, Bのスタート、ストップを制御します。LOAD=“1”となるとTIMERはカウントを始めます。																											
28H	SLOT	発音させるスロットのON/OFFを制御します。																											
	CH	発音チャンネルを決定します。																											
29H	SCH	発音チャンネル数の設定をします。“0”のとき3音でOPNと同じになります。“1”のとき6音同時発音可能となります。																											
	IRQ ENABLE	各割り込み信号を制御します。“1”のとき、対応するステータスフラグに同期して1IRQ=“L”となります。																											
2DH~2FH		プリスケアラによりクロックの分周数を設定します。このアドレスには、データビットはなく、アドレスを指定するだけで分周がセットされます。																											
		<table border="1"> <thead> <tr> <th colspan="3">アドレス</th> <th colspan="2">分周値</th> <th rowspan="2">マスタークロック φM (max)</th> </tr> <tr> <th>2DH</th> <th>2EH</th> <th>2FH</th> <th>FM部</th> <th>SSG部</th> </tr> </thead> <tbody> <tr> <td>○</td> <td>×</td> <td>×</td> <td>1/6</td> <td>1/4</td> <td>8MHz</td> </tr> <tr> <td>○</td> <td>○</td> <td>×</td> <td>1/3</td> <td>1/2</td> <td>4MHz</td> </tr> <tr> <td>×</td> <td>×</td> <td>○</td> <td>1/2</td> <td>1/1</td> <td>2.67MHz</td> </tr> </tbody> </table> <p style="text-align: right;">○：アドレスを指定。</p>	アドレス			分周値		マスタークロック φM (max)	2DH	2EH	2FH	FM部	SSG部	○	×	×	1/6	1/4	8MHz	○	○	×	1/3	1/2	4MHz	×	×	○	1/2
アドレス			分周値		マスタークロック φM (max)																								
2DH	2EH	2FH	FM部	SSG部																									
○	×	×	1/6	1/4	8MHz																								
○	○	×	1/3	1/2	4MHz																								
×	×	○	1/2	1/1	2.67MHz																								
3*H	DT	Detuneの設定をします。																											
	MULTI	Multipleの設定をします。																											
4*H	TL	Total Levelの設定をします。																											
5*H	KS	Key Scaleの設定をします。																											
	AR	Attack Rateの設定をします。																											
6*H	AMON	振幅変調のON/OFFを制御します。“1”でONとなります。																											
	DR	Decay Rateの設定をします。																											
7*H	SR	Sustain Rateの設定をします。																											
8*H	SL	Sustain Levelの設定をします。																											
	RR	Release Rateの設定をします。																											
9*H	SSG-EG	SSGタイプのエンベロープ波形を制御します。																											
A0H~A2H	F-Num.1	F-Numberの下位8ビットを設定します。																											

ADDR	BIT	機能
A4H~A6H	F-Num. 2	F-Numberの上位3ビットを設定します。
	BLOCK	BLOCKによりオクターブの設定をします。
A8H~AAH	3CH F-Num. 1	効果音モード時の、3チャンネル各スロットのF-Numberの下位8ビットを設定します。
ACH~AEH	3CH F-Num. 2	効果音モード時の、3チャンネル各スロットのF-Numberの上位3ビットを設定します。
	3CH BLOCK	効果音モード時の、3チャンネル各スロットのオクターブを設定します。
B0H~B2H	FB	セルフフィードバックのレベルを設定します。
	CONNECT	アルゴリズムを設定します。選択可能なアルゴリズムは8種類です。
B4H~B6H	LR	出力チャンネルの設定をします。"1"が設定されたチャンネルに出力されます。
	AMS	LFOによる振幅変調の深さを設定します。
	PMS	LFOによる周波数変調の深さを設定します。

## 2) SSG部

ADDR	BIT	機能
00H, 01H		チャンネルAの周波数を設定します。00Hが微設定、01Hが粗設定です。
02H, 03H		チャンネルBの周波数を設定します。02Hが微設定、03Hが粗設定です。
04H, 05H		チャンネルCの周波数を設定します。04Hが微設定、05Hが粗設定です。
06H		ノイズの周期を設定します。
07H	IN/OUT IOA, IOB	内蔵のI/Oポートの入出力を制御します。D7, D6が"1"のときI/Oポートは出力状態になります。
	/NOISE	ノイズの出力チャンネルを設定します。"0"のとき対応するチャンネルにノイズを出力します。
	/Tone	トーンジェネレータのチャンネルのON/OFFを設定します。"0"のとき対応するチャンネルに楽音を出力します。
08H~0AH		各チャンネルの出力レベルを制御します。D4のMにより出力のモードを決定します。M="0"のときD0~D3で設定した固定レベルになります。M="1"のとき、エンベロープジェネレータに対応して、出力レベルが変化します。D0~D3は、すべて"0"のときレベルは最大となります。
0BH~0CH		エンベロープの繰り返し周期を設定します。0BHで微設定、0CHで粗設定を行います。
0DH		08H~0AHのMが"1"のときのエンベロープ波形を設定します。
0EH~0FH		I/Oポートの入出力データが格納されます。

## 3) リズム楽器部

ADDR	BIT	機能
10H	DM	DM="1"のときリズム音は強制ダンプ(消音)されます。
10H	RKON	各リズム音の指定をします。
11H	RTL	リズム音源部の総合ボリュームを設定します。分解能は0.75dBで、すべて"0"のときレベルは最小となり、-47.5dBとなります。
12H		OPNAのテスト用レジスタです。通常は何も設定しません。
18H	L, R	各リズム音の出力チャンネルの設定を行います。"1"が設定されたチャンネルに出力されます。
18H	IL	各リズム音毎の出力レベルを設定します。分解能は0.75dBで、すべて"0"のときレベルは最小となり-23.25dBとなります。

## 4) ADPCM部

ADDR	BIT	機能
00H	START	ADPCMの音声分析/合成のスタートビットです。“1”が設定されたときから分析/合成がスタートします。
	REC	ADPCM音声分析中、及びCPUから外部メモリに分析データを書き込むときに“1”にします。
	MEM DATA	ADPCMデータをアクセスするメモリを選択します。“0”が設定されたときCPUが管理するメモリを、“1”が設定されたとき外部メモリをアクセスします。
	REPEAT	リピートの設定を行います。“1”が設定されるとリピートモードになり、設定した区間を繰り返し合成(再生)を行います。
	SP OFF	このビットに“1”を設定するとSPOFF端子が“H”レベルになります。
	RESET	ADPCM音声合成時のリセット機能です。音声合成中にこのビットに“1”を設定すると合成を停止して初期状態に戻ります。
01H	L R	出力チャンネルの設定をします。“1”が設定されたチャンネルに出力されます。
	SAMPLE	このビットに“1”が設定されたときからDA/AD変換がスタートします。
	DA/AD	AD/DAの指定を行います。“1”が設定されたときDA変換が指定されます。
	RAM TYPE	DRAMのビットを指定します。“1”のとき×8 bit、“0”のとき×1 bitでアクセスします。
	ROM	外部メモリの指定をします。“1”のときROM、“0”のときDRAMです。
02H, 03H		DRAM, ROMのスタートアドレスを設定します。02Hが上位8ビット、03Hが下位ビットです。
04H, 05H		DRAM, ROMのストップアドレスを設定します。02Hが上位8ビット、03Hが下位ビットです。
06H, 07H		ADPCM分析を含むAD変換時、及びDA変換時のサンプリング周波数を指定します。
08H		ADPCM分析/合成を、CPUが管理するメモリに対して行うとき、またはCPUより外部メモリをアクセスするときにADPCMデータを格納する、リード・ライトが可能なバッファレジスタです。
09H, 0AH		ADPCM音声合成時のサンプリング周波数を設定します。同時に、各サンプリング間を55.5kHzで線形補間するための補間係数を与えます。
0BH		ADPCM音声合成の出力レベルを、256ステップでコントロールします。
0CH, 0DH		メモリのリミット値を設定するレジスタです。メモリアクセス時に、このアドレスに達すると0番地に戻ります。
0EH		このレジスタにデータを書き込むことにより、DA変換が行われます。書き込み時のデータフォーマットは、2'sコンプリメント8ビットPCMデータです。
0FH		AD変換されたデータが格納される読みだし専用レジスタです。データのフォーマットは2'sコンプリメント8ビットPCMデータです。
10H	IRQ RESET	“1”を書き込むとステータスのフラグはリセットされます。
	MASK ZERO	“1”のとき、ZEROフラグをマスクします。
	MASK BRDY	“1”のとき、BRDYフラグをマスクします。
	MASK EOS	“1”のとき、EOSフラグをマスクします。
	MASK TIMER-B	“1”のとき、TIMER-Bのフラグをマスクします。
	MASK TIMER-A	“1”のとき、TIMER-Aのフラグをマスクします。

## 5) ステータスレジスタ

### a) STATUS 0

ADDR	BIT	機能
××	BUSY	データをレジスタに書き込んでいる間“1”になります。
	FLAG B	TIMER-Bにセットした時間が経過すると“1”がセットされます。
	FLAG A	TIMER-Aにセットした時間が経過すると“1”がセットされます。

### b) STATUS 1

ADDR	BIT	機能
××H	PCM BUSY	ADPCM音声合成の実行中“1”になります。
	ZERO	ADPCM音声分析中、290ms以上無音状態が続くと“1”となります。
	BRDY	ADPCM音声分析(合成)時、2データ(1バイト)の分析(合成)が終了すると、“1”になります。また、外部メモライト(リード)時、1データライト(リード)が終了すると“1”になります。
	EOS	ADPCM音声分析/合成の終了時、またはAD/DA変換時の1サンプリング周の経過時、“1”になります。

## ■電気的特性

### 1. 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>CC</sub>	-0.3~7.0	V
入力電圧	V <sub>I</sub>	-0.3~V <sub>CC</sub> +0.3	V
動作温度	T <sub>OP</sub>	0~70	℃
保存温度	T <sub>STG</sub>	-50~125	℃

### 2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>CC</sub>	4.75	5.00	5.25	V
動作温度	T <sub>OP</sub>	0	25	70	℃

### 3. 直流特性 (条件: T<sub>OP</sub>=0~70℃, V<sub>CC</sub>=5.00±0.25 V)

項目	記号	条件	最小	標準	最大	単位
電源電流	I <sub>CC</sub>	V <sub>CC</sub> =5.0 V			200	mA
入力電圧Lレベル	V <sub>IL</sub>	全入力端子			0.8	V
入力電圧Hレベル	V <sub>IH</sub>	全入力端子	2.0			V
入力リーク電流	I <sub>LI</sub>	*1	-10		10	μA
出力リーク電流	I <sub>LO</sub>	*2	-10		10	μA
ブルアップ抵抗	R <sub>U</sub>	*3	60			kΩ
出力電圧Lレベル	V <sub>OL</sub>	I <sub>OL</sub> =2 mA, *4			600	V
出力電圧Hレベル	V <sub>OH</sub>	I <sub>OH</sub> =0.4 mA, *4	2.4		0.4	V
		I <sub>OH</sub> =40 μA	3.3		V <sub>CC</sub>	V
入力容量	C <sub>I</sub>	全入力端子			10	pF
出力容量	C <sub>O</sub>	全出力端子			10	pF

\*1) V<sub>I</sub>=0~5V, φ M, /WD, /RD, A0, A1端子に適用。

\*2) D0~D7, /IRQの各端子に適用。

\*3) IOA0~IOA7, IOB0~IOB7, /IC, /CS, DTO, DM0~DM7の各端子に適用。

\*4) 全出力端子に適用。

### 4. 交流特性 (条件 ; Top=0~70 °C, Vcc=5.00±0.25 V, 出力容量100 pF)

項 目	記 号	図	最 小	標 準	最 大	単 位
φ M クロック周波数	fc				8.0	MHz
デューティ	D	図 1	40	50	60	%
立ち上がり時間	tCR				50	ns
立ち下がり時間	tCF				50	ns
A0, A1 アドレスセットアップ時間	tAS		図2, 3	10		
A0, A1 アドレスホールド時間	tAH	10				ns
/CS ライト幅	tCSW	図 2	200			ns
/WR ライトパルス幅	tWW		200			ns
D0~D7 ライトデータセットアップ時間	twDS		100			ns
D0~D7 ライトデータホールド時間	twDH		20			ns
/CS リード幅	tCSR	図 3	250		250	ns
/RD リードパルス幅	trW		250			ns
D0~D7 リードデータアクセス時間	tACC					ns
D0~D7 リードデータホールド時間	trDH		10			ns
φ S 出力立ち上がり時間 * 1	tor1	図 4			200	ns
OPO, SH1, SH2 出力立ち上がり時間 * 1	tor2				300	ns
φ S 出力立ち下がり時間 * 1	tof1	図 5			200	ns
OPO, SH1, SH2 出力立ち下がり時間 * 1	tof2				300	ns
リセットパルス幅	tICW	図11	192/fc			s

\* 1 : CL=100 pF

\* 2 : サイクルはマスタークロック φ Mのサイクル数

項 目	記 号	図	最 小	標 準	最 大	単 位
A0, A1 アドレスセットアップ時間	tsAS	図6, 7	10			ns
A0, A1 アドレスホールド時間	tsAH		10			ns
/CS ライト幅	tsCSW	図 6	250			ns
/WR ライトパルス幅	tsWW		250			ns
D0~D7 ライトデータセットアップ時間	tsWDS		0			ns
D0~D7 ライトデータホールド時間	tsWDH		20			ns
/CS リード幅	tsCSR	図 7	400		400	ns
/RD リードパルス幅	tsRW		400			ns
D0~D7 リードデータアクセス時間	tsACC					ns
D0~D7 リードデータホールド時間	tsRDH		10			ns

項 目	記 号	図	最 小	標 準	最 大	単 位
A0, A1 アドレスセットアップ時間	tAAS	図8, 9	10			ns
A0, A1 アドレスホールド時間	tAAH		10			ns
/CS ライト幅	tACSW	図 8	380			ns
/WR ライトパルス幅	tAWW		380			ns
D0~D7 ライトデータセットアップ時間	tAWDS		10			ns
D0~D7 ライトデータホールド時間	tAWDH		30			ns
/CS リード幅	tACSR	図 9	380		380	ns
/RD リードパルス幅	tARW		380			ns
D0~D7 リードデータアクセス時間	tAACC					ns
D0~D7 リードデータホールド時間	tARDH		10			ns
メモリデータセット時間 * 1	tAMDS	図12, 13	70			ns
メモリデータホールド時間 * 1	tAMDH		10			ns
アウトプット立ち上がり時間 * 2	tor3	図10			300	ns
アウトプット立ち下がり時間 * 2	tof3				300	ns

\* 1 : DM1~DM7, DTOの各端子に適應。

\* 2 : DM0~DM7, /RAS, /CAS, /WE, A8, MDEN, /ROMCSの各端子に適應。

## 5. アナログ特性

項 目	記 号	最 小	標 準	最 大	単 位
入力電圧	V <sub>IA</sub>	V <sub>cc</sub> /4		3V <sub>cc</sub> /4	V
出力電圧振幅 * 1	V <sub>OA</sub>	0.8		1.10	V

\* 1 : 最大音量、3音同時発音、R<sub>L</sub>=470 Ω



■ タイミング図 (タイミング図の設定は $V_R=2.0V$ ,  $V_L=0.8V$ を基準とする。)

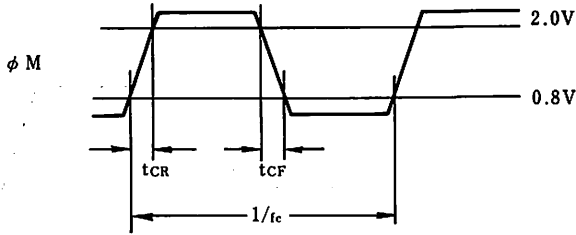


図1 クロックタイミング

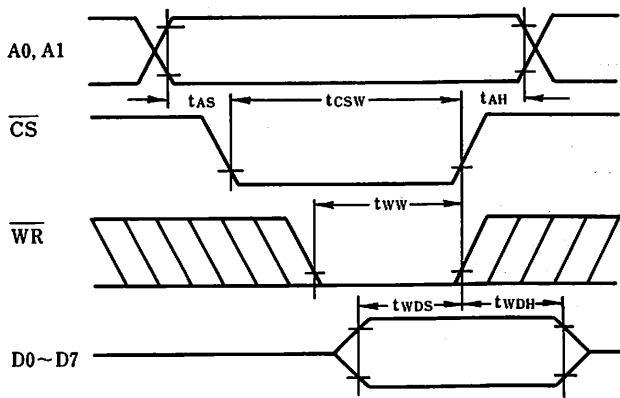


図2 FM部, リズム部ライトタイミング

(注)  $t_{CSW}$ ,  $t_{WW}$ ,  $t_{WDS}$ ,  $t_{WDH}$ は、 $\overline{CS}$ ,  $\overline{WR}$ の何れかがHIGHレベルになる時を基準とする。

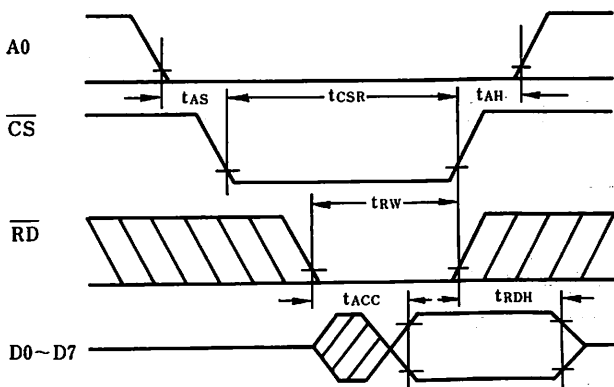


図3 FM部リードタイミング

(注)  $t_{ACC}$ は、 $\overline{CS}$ ,  $\overline{RD}$ の何れかが遅くLOWレベルになる時を基準とする。

$t_{CSR}$ ,  $t_{RW}$ ,  $t_{RDH}$ は、 $\overline{CS}$ ,  $\overline{RD}$   
 $t_{CSR}$ ,  $t_{RW}$ ,  $t_{RDH}$ は、 $\overline{CS}$ ,  $\overline{RD}$ の何れかがHIGHレベルになる時を基準とする。

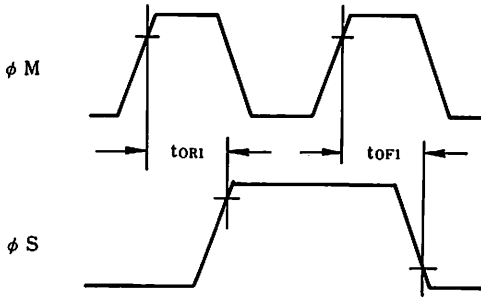


図4 出力タイミング(1)

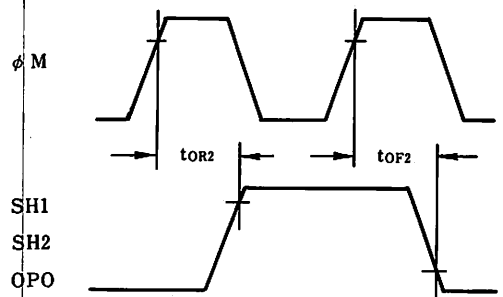


図5 出力タイミング(2)

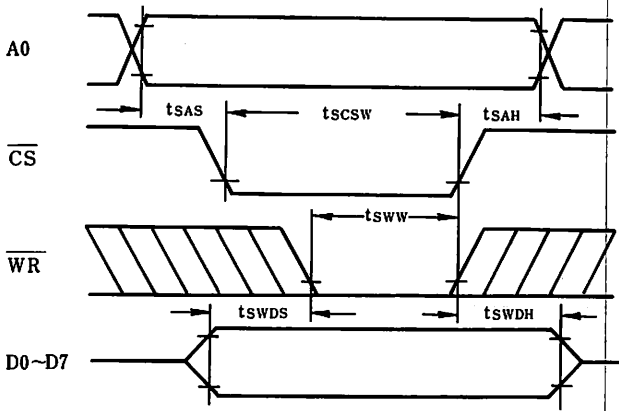


図6 SSG部ライトタイミング

(注)  $t_{swds}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかが遅くLOWレベルになる時を基準とする。

$t_{scsw}$ 、 $t_{sww}$ 、 $t_{swdh}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかがHIGHレベルになる時を基準とする。

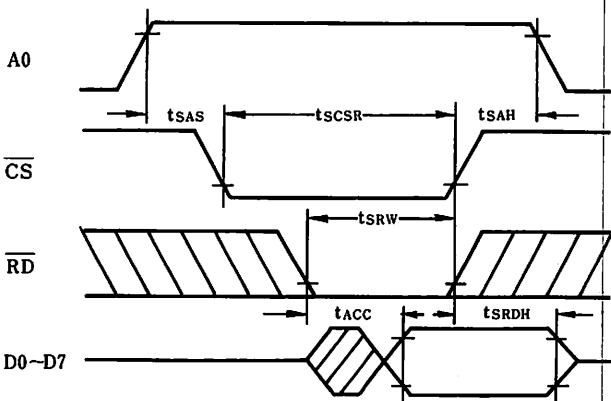


図7 SSG部リードタイミング

(注)  $t_{acc}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかが遅くLOWレベルになる時を基準とする。

$t_{scsr}$ 、 $t_{srw}$ 、 $t_{srdh}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかがHIGHレベルになる時を基準とする。

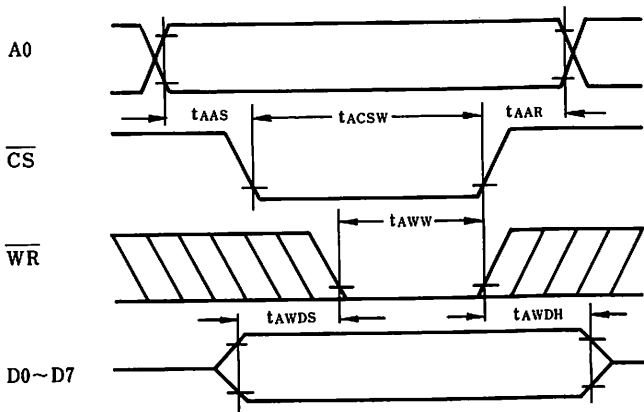


図8 ADPCM部ライトタイミング

(注)  $t_{AWDS}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかが遅くLOWレベルになる時を基準とする。

$t_{ACSW}$ 、 $t_{AWW}$ 、 $t_{AWDH}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかがHIGHレベルになる時を基準とする。

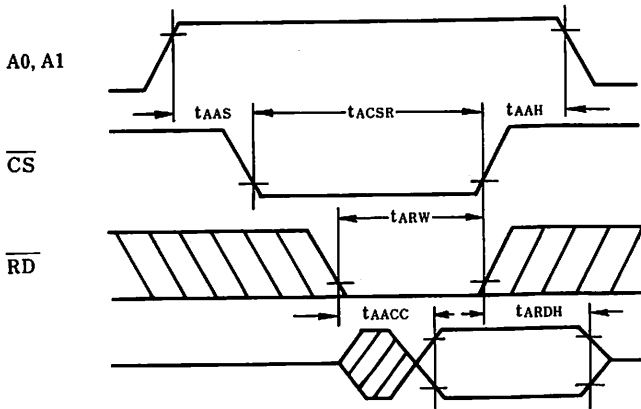


図9 ADPCM部リードタイミング

(注)  $t_{AACC}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかが遅くLOWレベルになる時を基準とする。

$t_{ACSR}$ 、 $t_{ARW}$ 、 $t_{ARDH}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかがHIGHレベルになる時を基準とする。

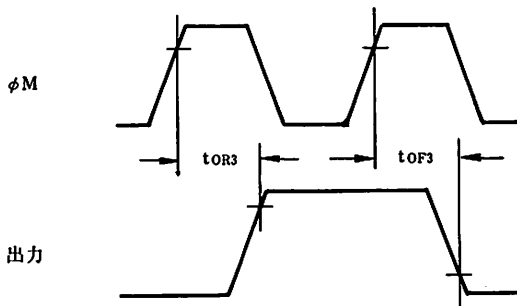


図10 出力タイミング(3)

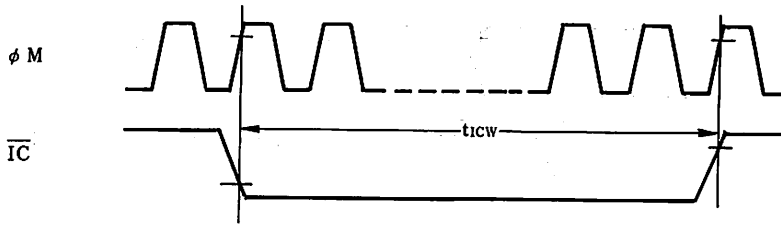
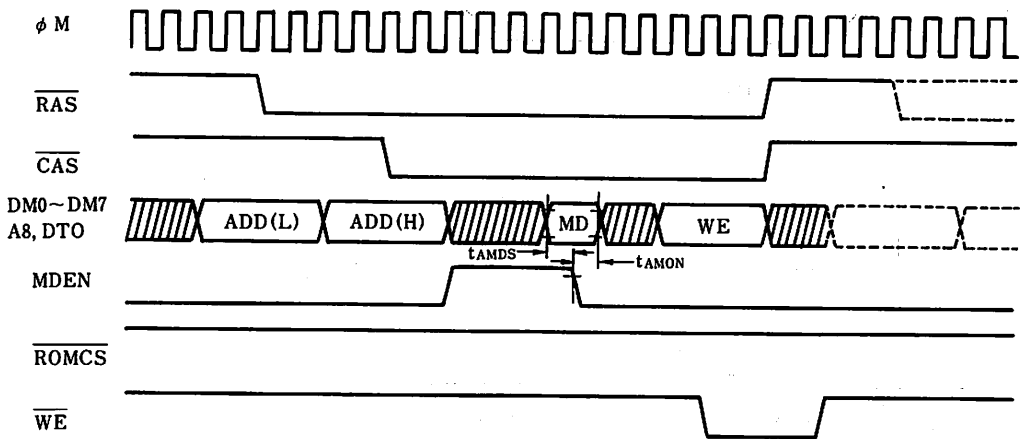
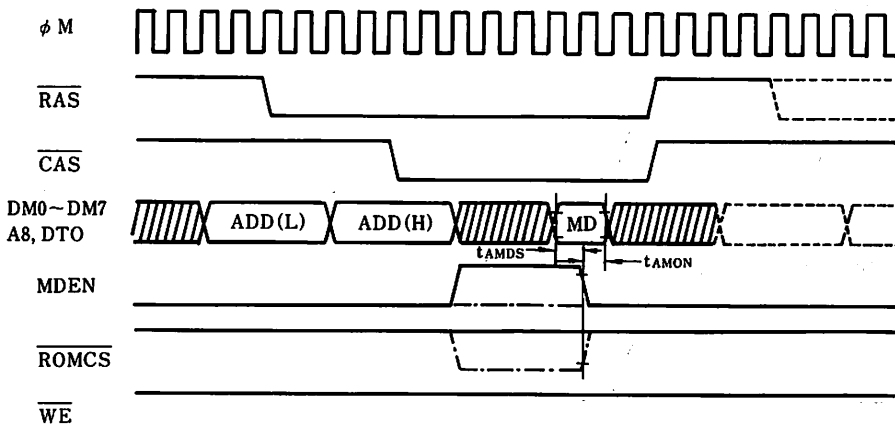


図11 リセットパルス幅



(注) A8はADD(L), ADD(H)のみ規程、DTOはMDのみ規程、DMOはADD(L), ADD(H)及びWDを規程。

図12 外部メモリーライトサイクル

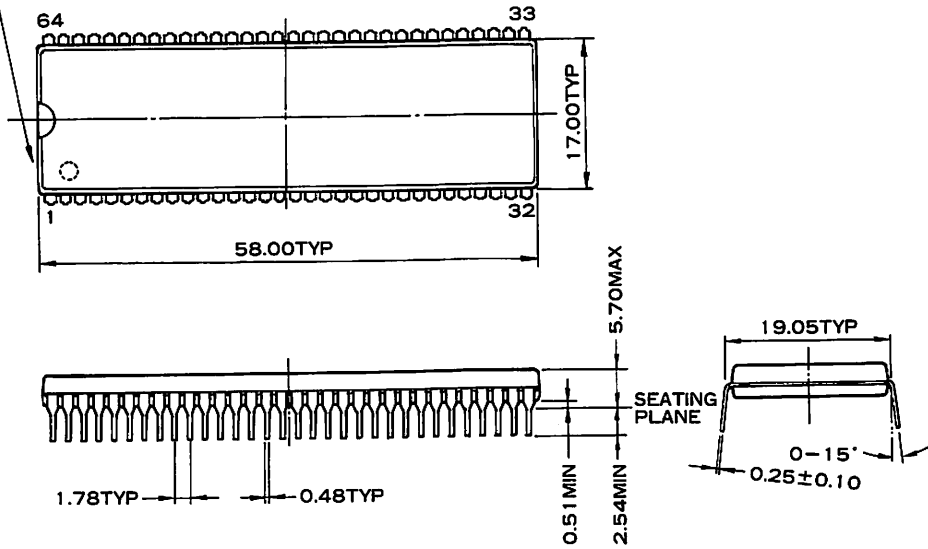


(注) A8はADD(L), ADD(H)のみ規程、DTOはMDのみ規程、DMOはADD(L), ADD(H)を規程。MDENとROMCSは実線がRAMリードサイクル、一点鎖線はROMリードサイクル。

図13 外部メモリーリードサイクル

## ■パッケージ外形図

ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない  
単位(UNIT):mm

