

YAC516

(DAC 16-L)

Delta Sigma Modulation D/A Converter with 8 times Oversampling Filter

■概要

YAC516は、8倍オーバーサンプリングフィルタ内蔵の $\Delta\Sigma$ 変調方式の1ビットステレオDACです。ポストフィルタ及び出力バッファを内蔵しているため、少ない部品点数で高品位なサウンドシステムを構成できます。

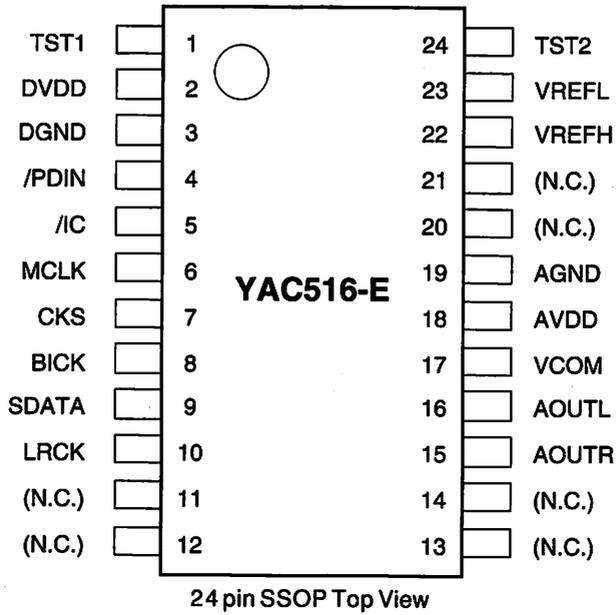
また、パワーダウンモードが用意されているので、未使用時の消費電力を低く抑えることができ、Green PC、ノートパソコン等での使用に適しています。さらに、パッケージとしては28ピンSOPに加え、24SSOPも用意しておりますので、PCMCIAカード等にも対応しています。

■特徴

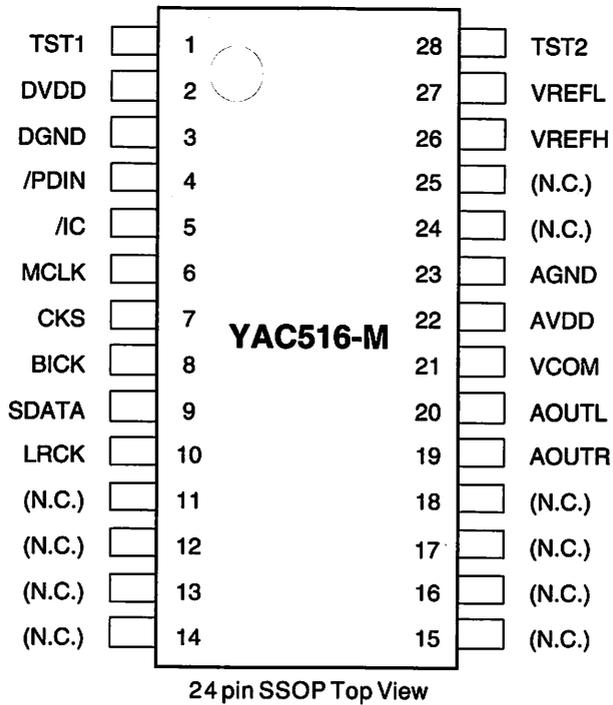
- $\Delta\Sigma$ 変調方式1ビットDAC。
- サンプリングレート:10kHz ~ 50kHz
- 8倍オーバーサンプリングデジタルフィルタ内蔵。
 - 通過域: 20kHz (-3dB, @ $f_s=44.1$ kHz)
 - 通過域リップル: ± 0.02 dB
 - 阻止域減衰量: 57dB
- ポストフィルタ(SCF)内蔵。
- 出力バッファ内蔵。
- 強ジッタ耐力。
- THD+N: -86dB
- DR: 92dB
- マスタークロックは384fsまたは256fsに対応。
- 低消費電力モード(パワーダウンモード)に対応。
- 動作電圧: 3V ~ 5.25V。
- 消費電力: 75mW (@5V)。
- 24SSOPパッケージ(YAC516-E)、28ピンSOPパッケージ(YAC516-M)。

■端子配置図

YAC516-E



YAC516-M



■端子機能説明

端子番号		端子名	I/O	機能
24SSOP	28SOP			
1	1	TST1	I-	LSIテスト端子 オープンまたは"L"に接続して下さい。
2	2	DVDD	-	デジタル電源端子(+5V)
3	3	DGND	-	デジタルグランド端子
4	4	/PDIN	I	パワーダウンモード入力端子 このピンを"L"にするとフィルタと変調器がリセットされパワーダウン状態になります。電源立ち上げ時に1度"L"を入力してリセットして下さい。
5	5	/IC	I	イニシャルクリア入力端子 /PDINピンと同様の動作をします。/PDIN端子と/IC端子は同じ機能で内部でANDがとられます。
6	6	MCLK	I	マスタークロック入力端子 外部からCMOSクロックを入力します。クロックの周波数はCKS端子で選択できます。
7	7	CKS	I	クロック選択端子 MCLKに入力するクロックの周波数を選択します。 "H":384fs "L":256fs
8	8	BICK	I	シリアルビットクロック入力端子 シリアルデータをラッチするためのクロックです。
9	9	DIN	I	シリアルデータ入力端子 16ビットのシリアルデータを2'sコンプリメントでMSBから入力します。
10	10	LRCK	I	シリアルL/Rクロック入力端子 入力されるシリアルデータのチャンネルを決定します。
15	19	AOUTR	OA	Rch アナログ出力端子
16	20	AOUTL	OA	Lch アナログ出力端子
17	21	VCOM	OA	コモン電圧端子 AVDD/2の電圧が出力されています。 AGNDとの間に10 μ Fの電解コンデンサと0.1 μ Fのセラミックコンデンサを接続します。
18	22	AVDD	-	アナログ電源端子(+5V)
19	23	AGND	-	アナロググランド端子
22	26	VREFH	IA	"H" 基準電圧入力端子
23	27	VREFL	IA	"L" 基準電圧入力端子 VREFHとVREFL端子に入力される電圧の差がD/A出力のフルスケールを決定します。通常はVREFHをAVDD、VREFLをAGNDに接続し、両ピン間には近くに0.1 μ Fのセラミックコンデンサを接続します。
24	28	TST2	O	LSIテスト端子 オープンで使用して下さい

I-:プルダウン抵抗内蔵端子

OA:アナログ出力端子

IA:アナログ入力端子

上記端子を除くすべての端子はNCピンです。無接続でご使用ください。

■ブロック図

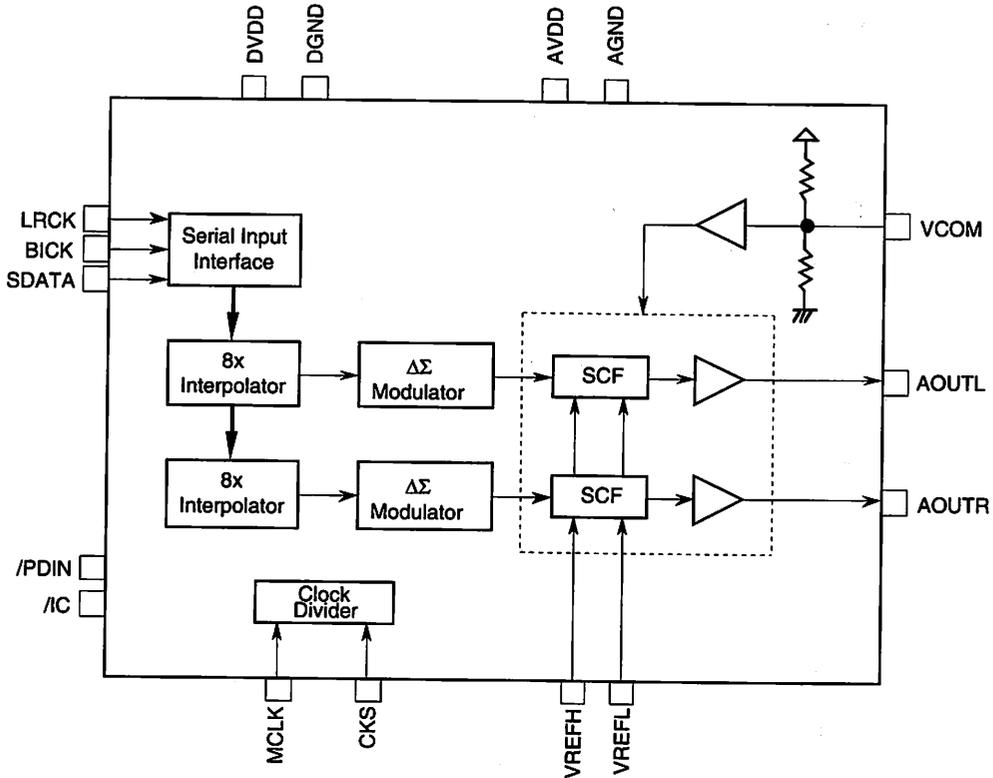


図1.ブロック図

■機能説明

1. システムクロック

YAC516に必要とされるクロックは、MCLK, LRCK(fs), BICK(32fs ~)です。MCLKとLRCKは同期する必要がありますが位相を合わせる必要はありません。MCLKの周波数は入力データレート(fs)とCKS端子で決まります。CKS端子を"L"にすると256fs, "H"では384fsが選択されます。384fsが選択された場合、MCLKは内部で2/3分周されます。表1に標準のオーディオレートに対してYAC516に必要とされる各クロックの周波数を示します。

YAC516ではLRCKによる位相検出回路を内蔵しているため、動作中に各クロックの周波数変更等で内部タイミングがずれた場合は自動的にリセットがかかり、位相合わせが行われます。そのため電源投入時以外は外部からリセットをかける必要はありません。(システムリセットの項参照)

動作時(/PDIN = /IC = "H")は、各外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合にはパワーダウン状態(/PDIN = "L" もしくは /IC = "L")にして下さい。

表1. システムクロック例

LRCK(fs) (kHz)	CKS	MCLK (MHz)
32.0	L	8.1920
	H	12.2880
44.1	L	11.2896
	H	16.9344
48.0	L	12.2880
	H	18.4320

2. シリアルデータインターフェース

SDATA端子、BICK端子、LRCK端子の3端子を使用して外部システムとインターフェースします。データフォーマットはMSBファースト、2'sコンプリメントの後詰めです。

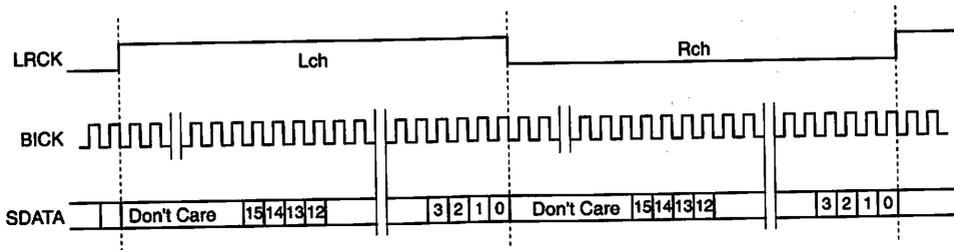


図2. シリアルインターフェースタイミング

3. パワーダウンモード

/PDIN端子または/IC端子を"L"にするとパワーダウン状態になり、アナログ出力はフローティング状態(Hi-Z)になります。

4. システムリセット

電源立ち上げ時には、/PDIN端子または/IC端子に1度"L"を入力してリセットしてください。リセットはMCLKで解除され、その後LRCKの立ち上がりのエッジに同期して内部のタイミングが動作します。このとき、LRCKと内部タイミングの位相差が入力サンプリング周期(1/fs)の1/16~1/16内であれば内部タイミングはそのまま動作します。位相差が上記範囲より大きくなったとき、LRCKの立ち上がりエッジに同期して内部タイミング位相合わせが行われます。この間RAMのアドレスがずれてしまうため、同期外れ後18サンプル分のデータが入力されるまで正常なデータが出力されません。

5. 電源とグラウンド

電源とグラウンドの取り方には十分注意してください。図3に電源の接続例を示します。ここではAVDDはノイズの少ないアナログ電源から供給され、DVDDは10Ωの抵抗を通してAVDDから供給されます。もし、AVDDとDVDDが別電源で供給される場合はAVDDはDVDDと同時に、もしくは先に立ち上げて下さい。一般的に電源とグラウンドはアナログとデジタルに分けて配線し、ボード上の電源に近いところで接続して下さい。高周波用のデカップリングコンデンサはYAC516にできるだけ近づけて接続します。特にVREFH/VREFL間のセラミックコンデンサは近づけて下さい。

6. システム接続図

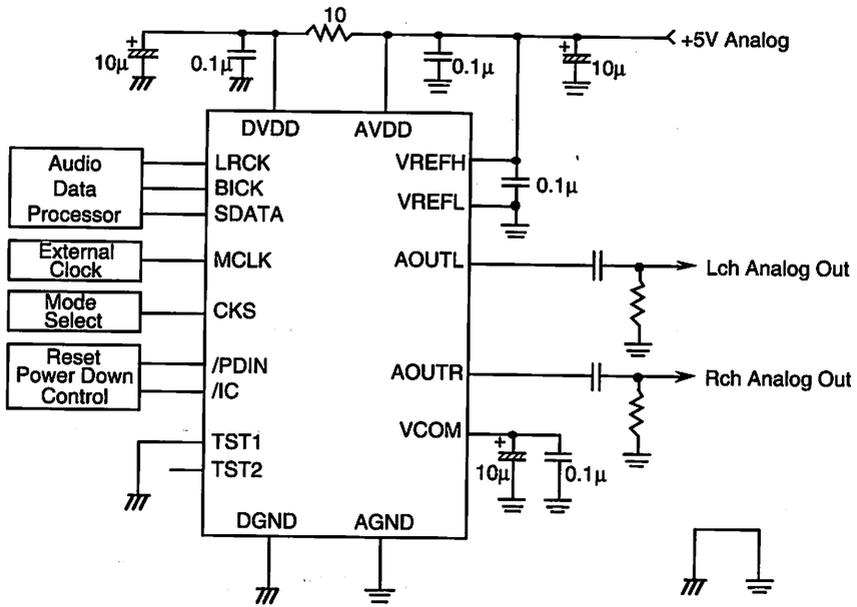


図3.システム接続図

■電気的特性

1. 絶対最大定格

(AGND, DGND=0V; 注1)

パラメータ	記号	min	max	単位
電源電圧: アナログ電源 (AVDD端子)	AVDD	-0.3	6.0	V
デジタル電源 (DVDD端子)	DVDD	-0.3	AVDD+0.3	V
入力電流 (電源ピンを除く)	I_{IN}	-	±10	mA
入力電圧	V_{IND}	-0.3	AVDD+0.3	V
動作周囲温度	T_{op}	0	70	°C
保存温度	T_{stg}	-50	125	°C

注: 1 電圧はすべてグランドピンに対する値です。

注意:

この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

2. 推奨動作条件

(AGND, DGND=0V; 注1)

パラメータ	記号	min	typ	max	単位
電源電圧: アナログ電源 (AVDD pin)	AVDD	3.0	5.0	5.25	V
デジタル電源 (DVDD pin)	DVDD	3.0	5.0	AVDD	V
"H" 基準電圧	VREFH		AVDD		V
"L" 基準電圧	VREFL		AGND		V

注: 1. 電圧はすべてグランドピンに対する値です。

2. アナログ出力電圧は(VREFH-VREFL)の電圧に比例します。

$$AOUT(\text{typ. @0dB}) = 2.88 \times (VREFH - VREFL)/5.$$

3. アナログ特性

(特記なき場合はTop=25°C; AVDD, DVDD=5.0V; VREFH=AVDD, VREFL=AGND; $f_s=44.1\text{kHz}$; 信号周波数=1kHz; $R_L \geq 10\text{k}\Omega$; 測定帯域=10Hz~20kHz)

パラメータ	min	typ	max	単位
ダイナミック特性				
THD+N	-80	-86		dB
(注3)	-74	-80		dB
ダイナミックレンジ (Aフィルタ)	86	92		dB
(注3)	82	88		dB
S/N (Aフィルタ)	86	92		dB
(注3)	82	88		dB
チャンネル間アイソレーション	80	90		dB
DC精度				
ゲインドリフト		60		ppm/°C
最大出力電圧振幅 (注4)	2.73	2.88	3.03	V
(注3)	1.80	1.90	2.00	V
電源				
電源電流 (注5)				
通常動作時				
AVDD		11	15	mA
DVDD		4	6	mA
パワーダウンモード時				
AVDD+DVDD		10	50	μA
消費電力				
通常動作時		75	105	mW
パワーダウンモード時 (注)		50	250	μW
電源変動除去比		50		dB

注: 3. AVDD, DVDD=3.3V

4. フルスケール電圧(0dB)。出力電圧は(VREFH-VREFL)の電圧に比例します。

$$A_{\text{OUT}}(\text{typ. @0dB}) = 2.88 \times (V_{\text{REFH}} - V_{\text{REFL}}) / 5.$$

5. DVDD=3.3V時DVDDの消費電流は2.2mA(typ)まで低下します。AVDDは同じです。

6. 外部クロック(MCLK、BICK、LRCK)を"H"または"L"に固定した場合の値です。

4. フィルタ特性

(Top=25°C; AVDD, DVDD=3.0V~5.25V; $f_s=44.1\text{kHz}$)

パラメータ	記号	min	typ	max	単位
デジタルフィルタ					
通過域	$\pm 0.1\text{dB}$ (注7)	PB	0	18.0	kHz
	-3.0dB		0	20.0	kHz
	-6.0dB		0	22.05	kHz
阻止域	(注7)	SB	26.0		kHz
通過域リップル		PR		± 0.02	dB
阻止域減衰量		SA	57		dB
群遅延	(注8)	GD		322	μs
2次アナログフィルタ					
振幅特性	18kHz		-0.1		dB
	20.0kHz		-0.5		dB
	44.1kHz		-6.0		dB

注: 7.通過域、阻止域の周波数は f_s (システムサンプリングレート)に比例し、PB=0.4535 f_s (@-3.0dB), SB=0.5896 f_s (@-57dB)です。8.デジタルフィルタによる演算遅延で、16ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。GD=14.2/ f_s @ $f_s=44.1\text{kHz}$

5. 直流特性

(Top=25°C; AVDD, DVDD=3.0V~5.25V)

パラメータ	記号	min	typ	max	単位
"H"入力電圧	V_{IH}	70% DVDD	-	-	V
"L"入力電圧	V_{IL}	-	-	30% DVDD	V
入力リーク電流	I_{IN}	-	-	± 10	μA

6. 交流特性

(Ta=25°C; AVDD, DVDD=3.0~5.25V; CL=20pF)

パラメータ	記号	min	typ	max	単位
マスタークロック周波数/周期					
256fs:周波数	f _{CLK}	2.56	11.2896	12.8	MHz
"L"幅	t _{CLKL}	28			ns
"H"幅	t _{CLKH}	28			ns
384fs:周波数	f _{CLK}	3.84	16.9344	19.2	MHz
"L"幅	t _{CLKL}	23			ns
"H"幅	t _{CLKH}	23			ns
LRCK周波数	f _S	10	44.1	50	kHz
シリアルインターフェースタイミング (注9)					
BICK周期	t _{BCK}	313			ns
BICK"L"幅	t _{BCKL}	100			ns
BICK"H"幅	t _{BCKH}	100			ns
LRCKホールド時間 (注10)	t _{LRH}	50			ns
LRCKセットアップ時間 (注10)	t _{LRS}	50			ns
SDATA ラッチホールド時間	t _{SDH}	50			ns
SDATA ラッチセットアップ時間	T _{SDS}	50			ns
リセットタイミング					
/PDIN,/ICパルス幅 (注11)	t _{ICW}	100			ns

注: 9. シリアルインターフェースの項を参照して下さい。

10. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。

11. 電源投入時は/PDIN(もしくは/IC)を"L"レベルから"H"にすることでリセットがかかります。

7. タイミング図

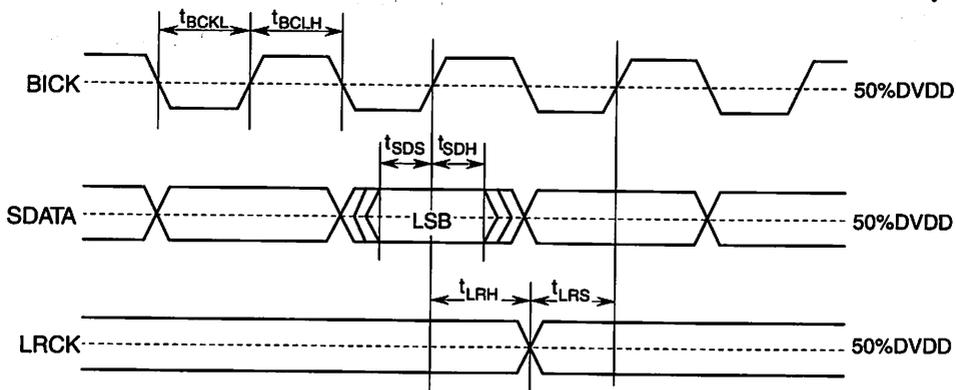


Chart 1. Data Input Timing

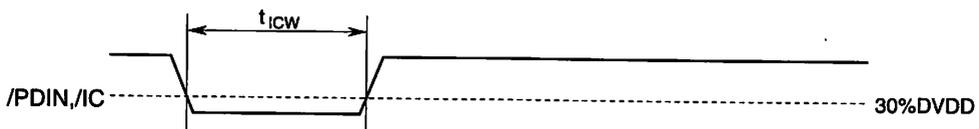
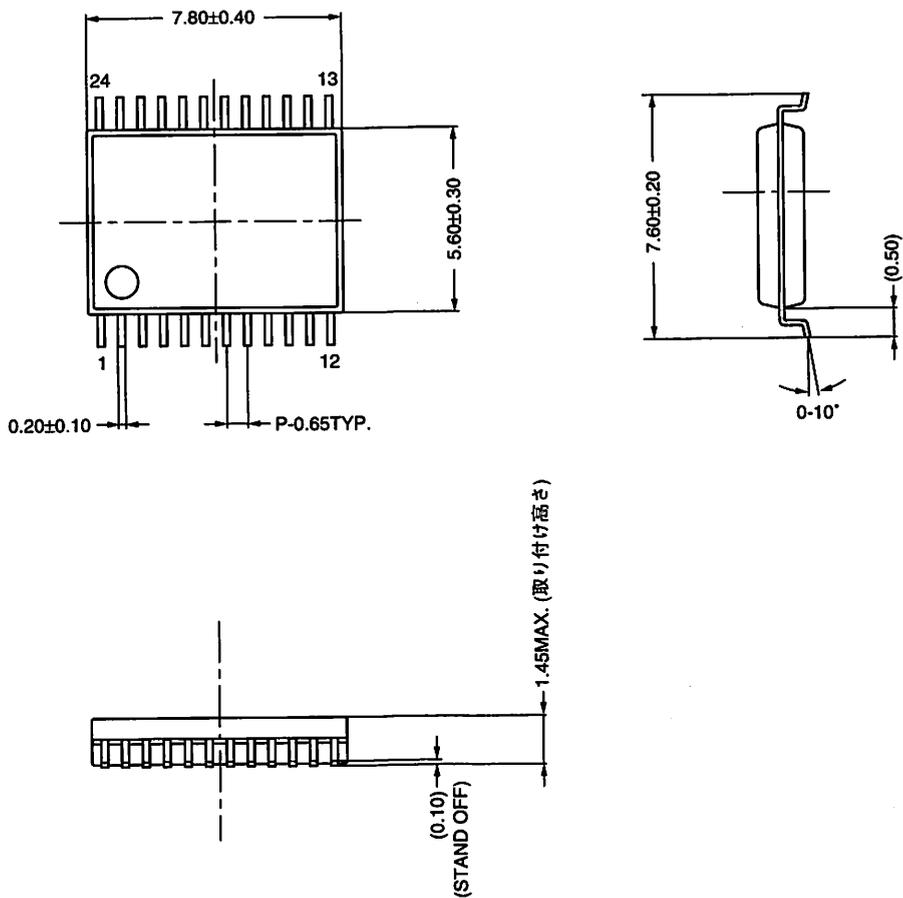


Chart 2. Reset Timing

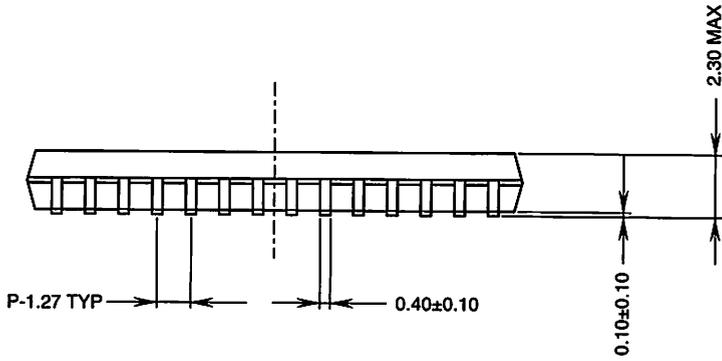
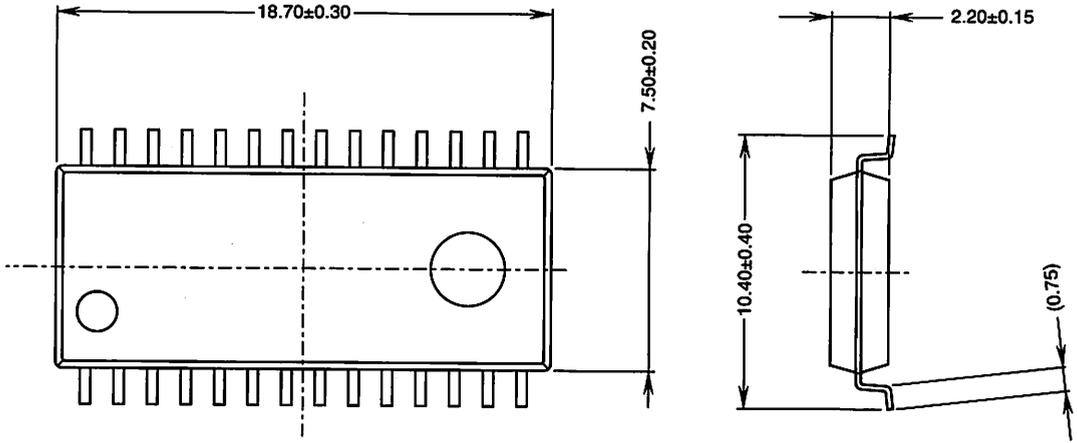
■パッケージ外形図

YAC516-E (24SSOP)



端子厚さ : $0.17^{+0.03}_{-0.05}$
(lead thickness)

YAC516-M (28SOP)



端子厚さ : 0.15 ± 0.10
(lead thickness)